

可選擇功率消耗之 500MS/s 快閃式類比數位轉換器

陳勛祥¹，許庭碩²，陳勝利³

¹ 國立彰化師範大學 電子工程學系；² 國立彰化師範大學 積體電路設計研究所；³ 國立聯合大學 電子工程學系

摘要

本篇論文提出一快閃式類比數位轉換器，可提供使用者選擇六種不同的功率消耗，藉由輸入六種不同偏壓而得之。本篇論文使用傳統式 Flash-ADC 作為設計架構，對於比較器的部分，輸入六種不同的偏壓，將會得到六種不同的解析度與功率消耗。取樣頻率在 500MHz，供應電壓為 1.8V，使用 Hspice 及 TSMC 0.18 μ m CMOS 製程進行模擬，當比較器輸入偏壓為 0.85V、0.9V 及 1.0V 時 ENOB 皆為 5 以上，功率消耗分別為 26.6mW、22.5mW 與 14.5mW；輸入偏壓為 1.1V、1.15V、1.2V 時 ENOB 皆為 4 以上，功率消耗分別為 8.8mW、6.58mW 及 5.06mW。此外也針對三組不同的取樣頻率進行模擬，分別為 400MHz、250MHz 及 200MHz，個別對應到輸入偏壓為 0.9V、1.0V 及 1.1V 時 ENOB 皆為 5 以上。

關鍵詞：快閃式類比數位轉換器、比較器、解析度、功率消耗。



A 500MS/s Flash-ADC with selectable power consumption

Hsun-Hsiang Chen¹, Ting-Shuo Hsu² and Shen-Li Chen³

¹Department of Electronic Engineering,
National Changhua University of Education

²Graduate Institute of Integrated Circuit Design,
National Changhua University of Education

³Department of Electronic Engineering,
National United University

Abstract

In this paper, a 500M sample/s Flash-ADC is presented which can select 6 different power consumption from 6 different input Vbias. In comparator, we have 6 different input Vbias to obtain 6 different resolution and power consumption. In this study, we use TSMC 0.18 μ m CMOS technology and 1.8V power supply to simulate the Flash-ADC. When sample rate is 500MHz and input Vbias are 0.85V, 0.9V, 1.0V, 1.1V, 1.15V and 1.2V, the corresponding ENOB are 5.49, 5.46, 5.28, 4.78, 4.45 and 4.22, and the power consumption are 26.6mW, 22mW, 14.5mW, 4.78mW, 8.8mW, 6.58mW and 5.06mW respectively. The simulation results show that the sample rate and Vbias are 400MHz with 0.9V, 250MHz with 1.0V and 200MHz with 1.1V, the ENOB are 5.54, 5.55 and 5.78, and the power consumption are 22.3mW, 14.0mW and 8.1mW.

Keyword: Flash-ADC, comparator, resolution, power consumption.



壹、序論

隨著台灣半導體產業及系統晶片(SOC)日漸成熟，帶動諸如筆記型電腦、觸控螢幕等電子產品市場快速成長。功率的消耗[1]-[3]、晶片的面積[4]-[5]、轉換的速度[4]-[6]、及解析度的高低[7]都將成為設計類比數位轉換器中的考慮項目。在解析度要求 5-bit 以上即可的產品譬如磁碟機燒錄器中，常因使用者對於功率消耗及解析度需求不同時，必須選擇不同的類比數位轉換器，造成電路設計過於複雜。因此本篇論文提出只需使用一個類比數位轉換器，即可滿足使用者在選擇功率消耗與解析度上之需求。

Flash-ADC 架構在現行的高速類比數位轉換器電路設計中，是最常被採用的架構。但是，功率消耗過高、編碼器泡沫錯誤(Bubble error)、晶片面積過大等問題，都是這個架構仍需改善的地方。因此本篇論文利用比較器選擇偏壓之架構，輸入六種不同偏壓時，可得到不同的解析度與功率消耗，另外也針對在較低的取樣頻率之下，觀察不同輸入偏壓時所模擬之 ENOB 與功率消耗變化，並在編碼器部分使用 ROM-based encoder 作為最後的輸出。本篇論文的基本架構如下，第二部份是以 Flash-ADC 整體架構及每區塊電路介紹，第三部分為本篇 Flash-ADC 的實驗結果，其中分別為相同頻率、不同偏壓，以及不同頻率對應到不同偏壓下之模擬數據，第四部份為總結本研究所得之主要結論。

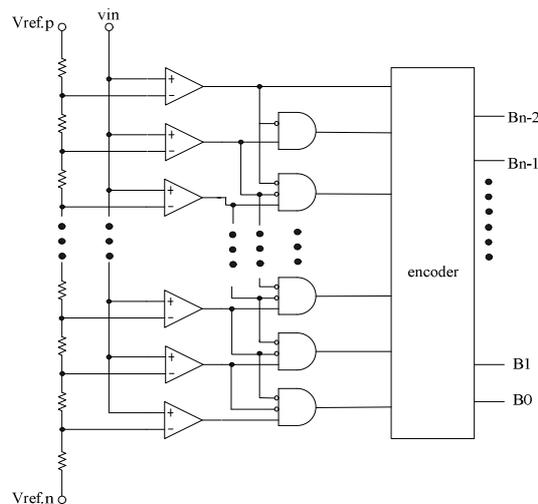


圖 1. 傳統型 Flash-ADC



貳、電路架構

一、Flash-ADC 架構

圖 1 為傳統型 Flash-ADC 之架構[3]，[5]，[8]，圖中左半部之電阻串經由分壓的方式產生參考電壓，接著將參考電壓與輸入電壓經由比較器進行電壓比較的动作，產生溫度計碼，最後將溫度計碼輸入到編碼器作為 Flash-ADC 之輸出。

圖 2 為本篇所設計可選擇功率消耗之快閃式類比數位轉換器，與圖 1 傳統型 Flash-ADC 相較之下，本篇電壓比較器是使用一個 8 對 1 多工器來當作 Vbias 的輸入選擇，使用者只需輸入 000 到 101 的數位碼就可以選擇不同的 Vbias 輸入至比較器。另外編碼器電路部份改良為 ROM-based encoder，便可以直接將比較器產生的溫度計碼，傳送給編碼器做二進制碼之編碼動作，進而得到 Flash-ADC 的輸出。

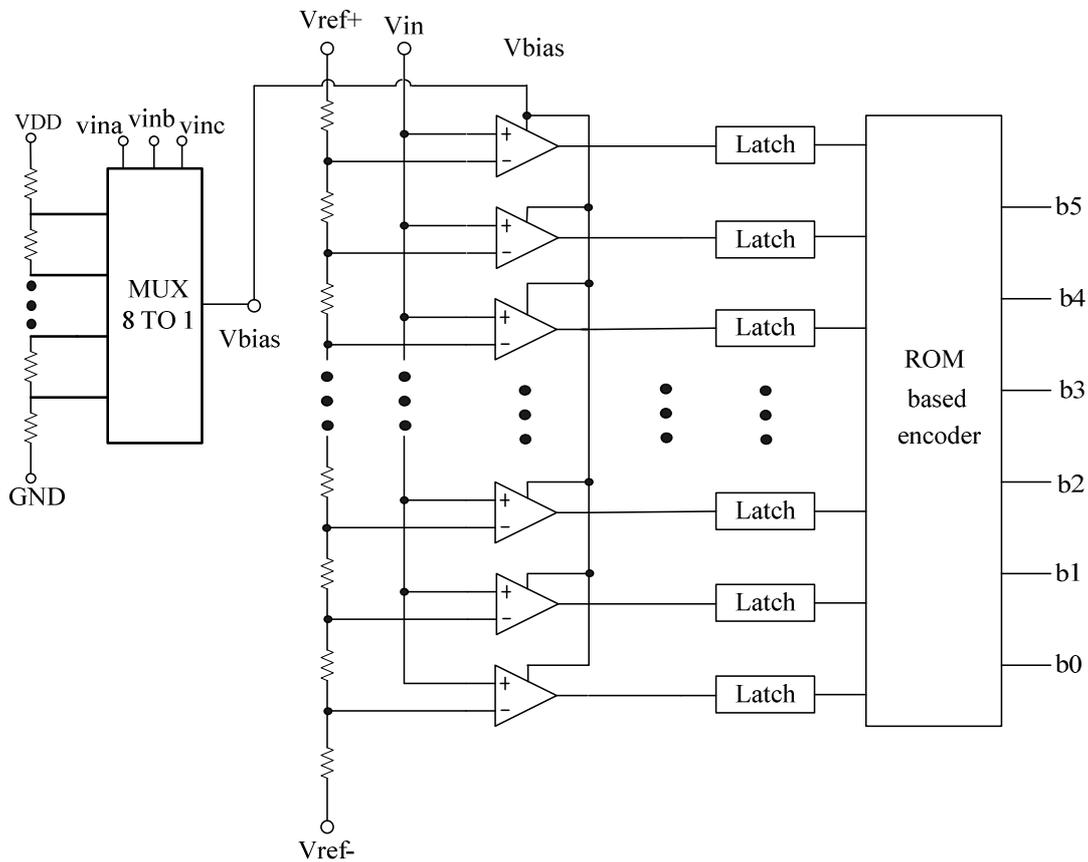


圖 2. 本文 Flash-ADC 架構

二、Vbias 選擇電路

圖 3 為本篇所使用之 Vbias 選擇電路，此電路是由一個 8 對 1 多工器所構置而成，其 Vbias 部分是由電阻串產生六種不同的分壓。v_{ina}、v_{inb} 與 v_{inc} 為選擇開關，使用者只需輸入 000 到 101 的數位碼，就可選擇不同的 Vbias 輸入至



比較器；當使用者輸入 110 或 111 之數位碼時，則輸入的 Vbias 將會維持在 1.2V。表 1 為數位碼與 Vbias 對照表。圖 4 為 Vbias 選擇電路模擬圖。

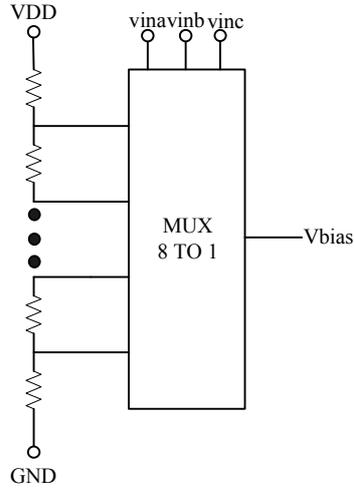


圖 3. Vbias 選擇電路

表 1. 數位碼與 Vbias 對照表

vin(a,b,c)	偏壓
(0,0,0)	0.85 V
(0,0,1)	0.9 V
(0,1,0)	1.0 V
(0,1,1)	1.1 V
(1,0,0)	1.15 V
(1,0,1)	1.2 V
(1,1,0)	
(1,1,1)	

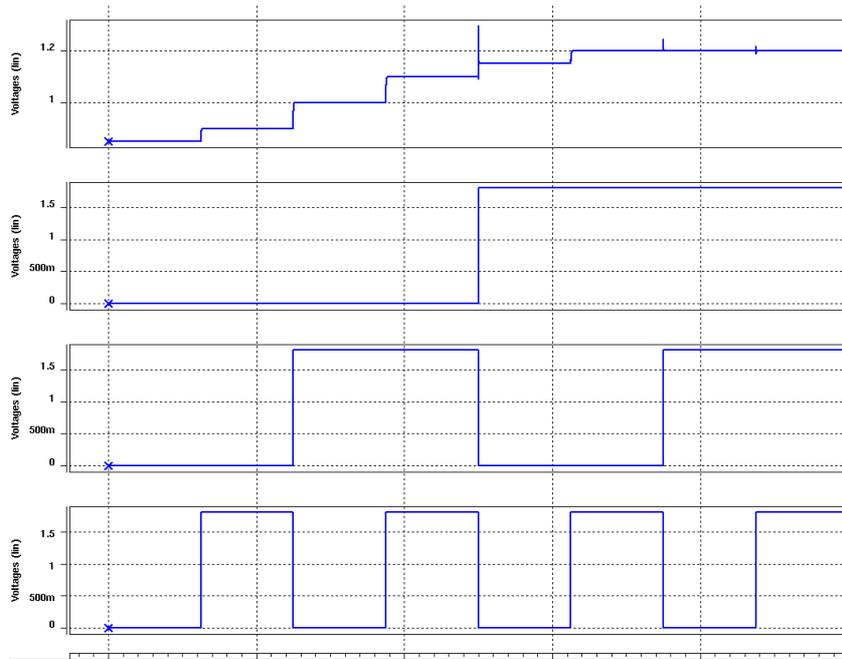


圖 4. Vbias 選擇電路模擬圖(由上至下: Vbias, vina, vinb, vnc)

三、比較器

本篇架構因輸入電壓範圍之限制，不使用圖 5 之 N 型差動對比較器，而選擇圖 6 之 P 型差動對比較器。此比較器可分為三部份分析，第一部份為用來比較參考電壓及輸入電壓之 P 型差動對。第二部份為增益級；第三部份為能夠提高電壓增益之 Buffer。比較器的工作模式為：當比較器的輸入電壓大於參考電壓時，Vout 為高電位；若輸入電壓小於參考電壓時，Vout 為低電位。在比較器電路圖中的 Vbias 為上一節 Vbias 選擇電路所輸出之偏壓。



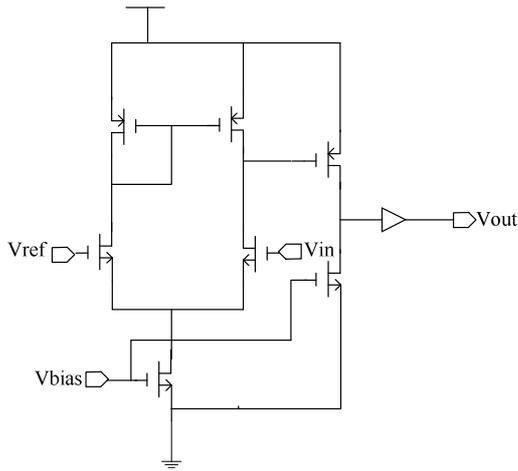


圖 5. N 型差動對比較器

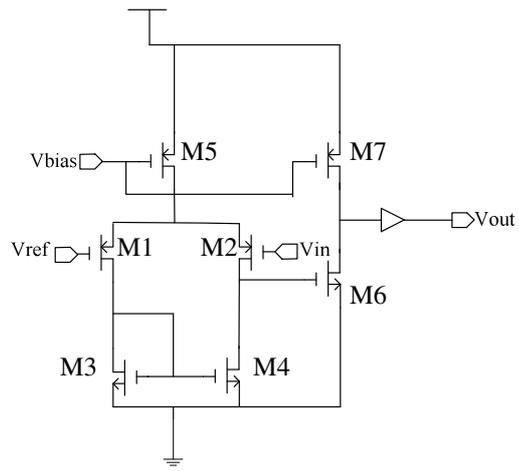


圖 6. P 型差動對比較器

此比較器會因為輸入 V_{bias} 不同，而產生不同的功率消耗。表 2 為比較器在不同偏壓下之功率消耗對照表。

表 2. 比較器在不同偏壓下之功率消耗

V_{bias}	功率消耗
0.85 V	0.629 mW
0.9 V	0.523 mW
1.0 V	0.330 mW
1.1 V	0.172 mW
1.15 V	0.111 mW
1.2 V	0.065 mW

接著將推導出 P 型差動對比較器中，各元件之間尺寸比例的關係式。首先 M1 與 M2 必須匹配，而 M3 與 M4 也必須匹配；當 V_{in} 與 V_{ref} 相等時，M5 所流出的電流，將由 M1 與 M2 平均分配，因此可得(1)式，

$$\text{令 } \frac{W_1}{L_1} = M_1, \frac{W_2}{L_2} = M_2, \dots, \frac{W_6}{L_6} = M_6$$

$$M_1 = M_2, M_3 = M_4, i_1 = i_2 = \frac{i_5}{2} \dots \dots \dots (1)$$

接著因電流鏡公式可以得到 M6 和 M7 的電流為

$$i_6 = i_4 \left[\frac{M_6}{M_4} \right], i_7 = i_5 \left[\frac{M_7}{M_5} \right] \dots \dots \dots (2)$$

又 $i_6 = i_7$ ，可將(2)式寫成

$$\left[\frac{i_4}{i_5} \right] \left[\frac{M_6}{M_4} \right] = \frac{M_7}{M_5} \dots \dots \dots (3)$$



又因為 $\frac{i_4}{i_5} = \frac{1}{2}$ ，可以得到(4)式，

$$\frac{M_6}{M_4} = 2 \frac{M_7}{M_5} \dots\dots\dots(4)$$

利用公式(4)元件之間尺寸比例的關係進行設計，將可有效降低偏移電壓。
表 3 將列出比較器各電晶體尺寸大小。

表 3. 比較器各電晶體尺寸大小

電晶體編號	尺寸(W/L)
M1	7000nm/350nm
M2	7000nm/350nm
M3	1050nm/350nm
M4	1050nm/350nm
M5	4200nm/350nm
M6	3240nm/180nm
M7	6480nm/180nm

在設計比較器電路中，我們選擇尺寸較小的尺寸為設計依據，因為比較器中的電晶體尺寸太大的話，會導致功率消耗大幅上升，但缺點為頻寬會降低，而本研究是以低功率為設計主軸，因此我們將採用較小尺寸作為設計考量，圖 7 為本比較器輸入不同偏壓時的頻寬。

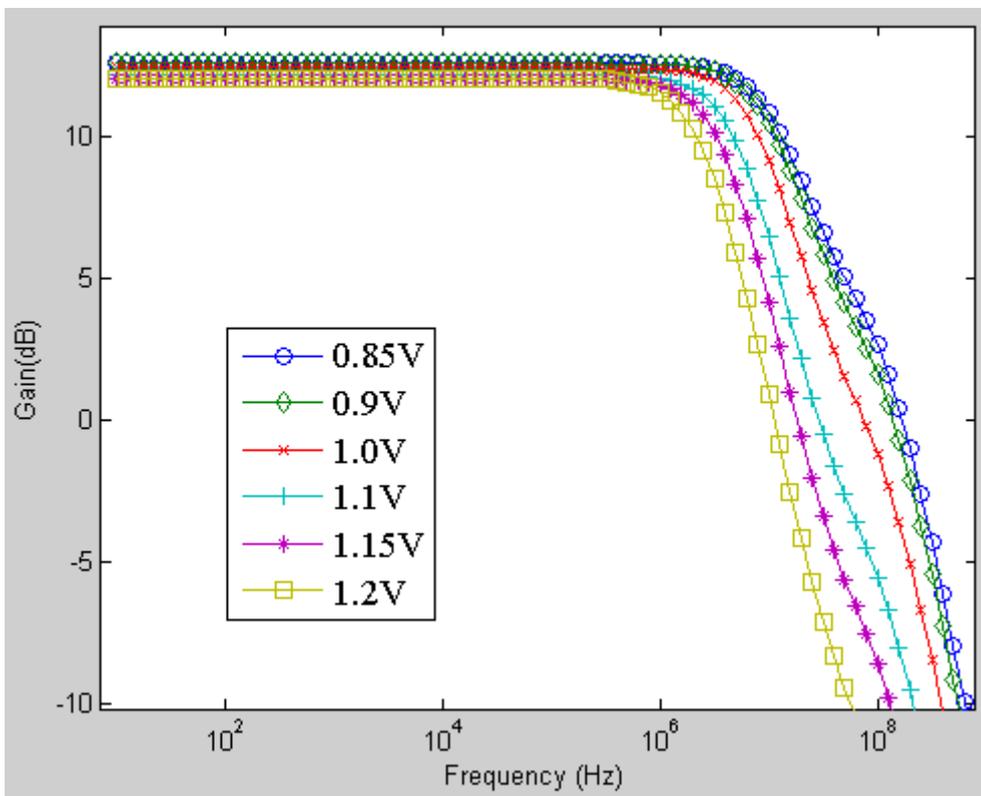


圖 7. 本篇比較器輸入不同偏壓時之頻寬



四、 門鎖電路

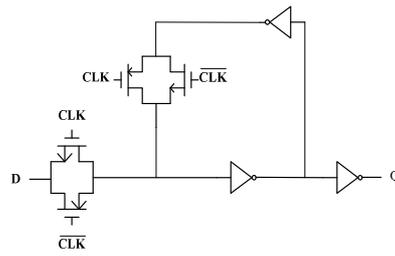


圖 8. 門鎖電路圖

圖 8 為本篇架構中所使用的門鎖電路。門鎖電路其操作模式為:當 CLK 為高電位時，輸入端的資料通過門鎖器，輸出於 Q 端；而當 CLK 為低電位時，門鎖器將輸入端的資料切斷，並將保持儲存在門鎖器內的資料輸出於 Q 端。

五、 ROM-based 編碼器

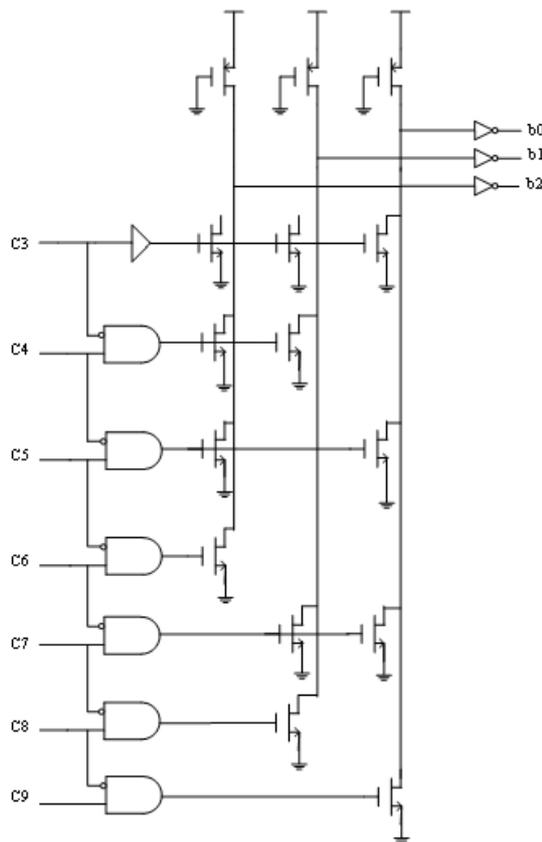


圖 9. ROM-based 編碼器

在 Flash-ADC 中，以電路構造及設計上較為簡單的 ROM-based encoder[9]，為最常使用之編碼器；此編碼器相較於其他編碼器而言，其優點是溫度計碼轉為二進制碼時，不會有資料不同步的情況產生。圖 9 是以一個 3-bit ROM-based



encoder 之架構為範例，6-bit ROM-based encoder 將以此類推。

參、實驗結果

本篇論文使用Synopsys公司的Hspice模擬軟體和TSMC 0.18 μ m COMS製程進行Flash-ADC的模擬。圖10至圖15為當Vin輸入為0.2V至1.2V，Vbias輸入分別為0.85V、0.9V、1.0V、1.1V、1.15V及1.2V時，Flash-ADC的2進制數位碼輸出模擬結果，其取樣頻率為500MHz，供應電壓為1.8V；圖中依上至下分別為MSB(b5)至LSB(b0)。另外，本篇也模擬當取樣頻率為400MHz、250MHz及200MHz，輸入偏壓為0.9V、1.0V及1.1V時，所消耗之功率與ENOB。表4為本篇架構模擬參數對照表，表5為輸入不同偏壓下之corner模擬與ENOB及功率消耗對照表，表6為四種不同取樣頻率之模擬參數對照表，表7為本篇輸入偏壓在1.0V時與其他文獻模擬參數比較表，

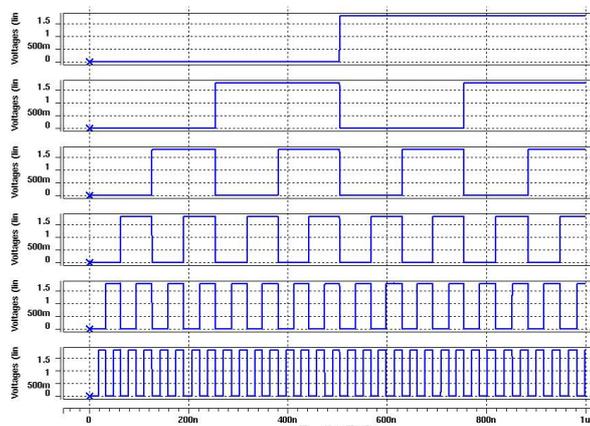


圖10. Vbias=0.85V 輸出模擬結果

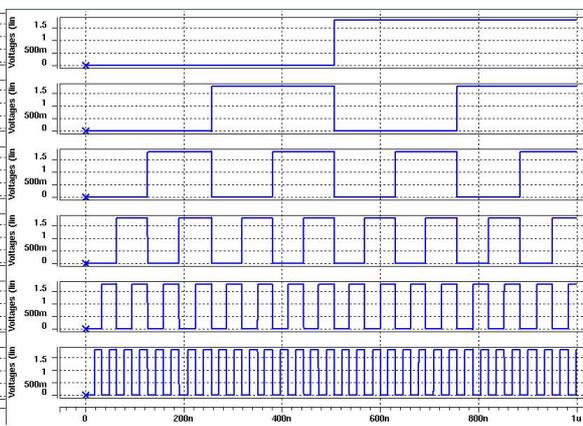


圖11. Vbias=0.9V 輸出模擬結果

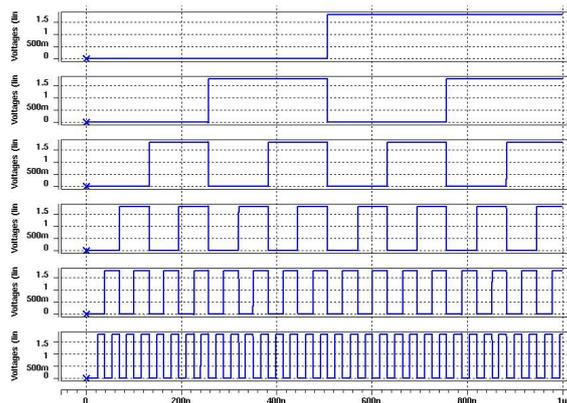


圖12. Vbias=1.0V 輸出模擬結果

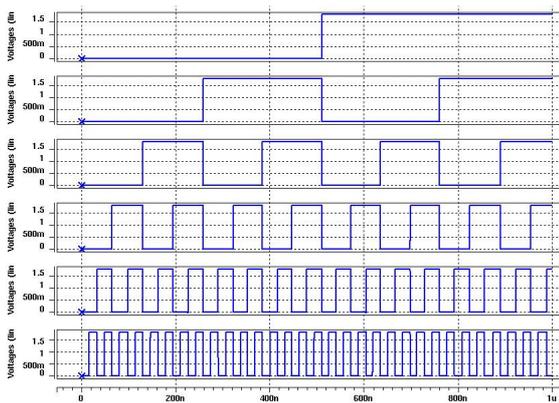


圖13. Vbias=1.1V 輸出模擬結果



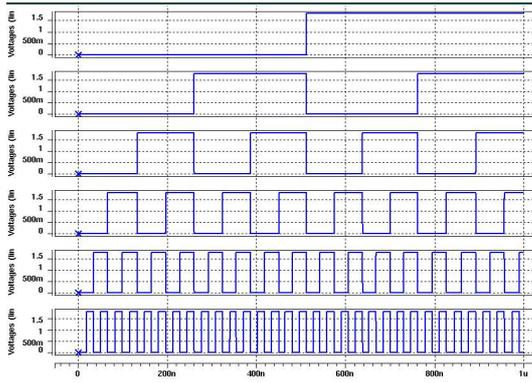


圖14. Vbias=1.15V 輸出模擬結果

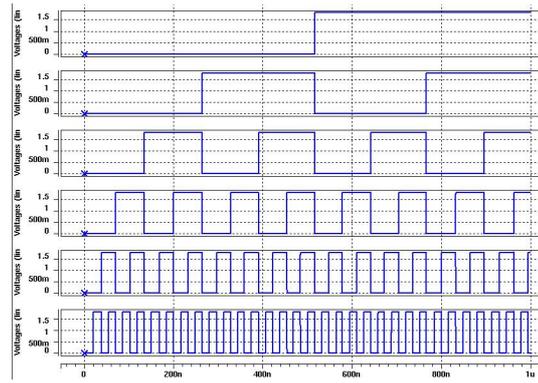


圖15. Vbias=1.2V 輸出模擬結果

圖16至圖21為取樣頻率在500MHz下，六種不同輸入偏壓之快速傅立葉分析圖。經由快速傅立葉轉換可得到Flash-ADC中兩個重要參數值：訊號雜訊失真比(Signal-to-Noise & Distortion Ratio, SNDR)以及有效位元數(Effective Number of Bits, ENOB)。SNDR的值愈高時，代表整體電路之抗雜訊的能力愈好，也直接影響到ENOB值。ENOB之值代表此類比數位轉換器能夠轉換之位元數，通常可供使用者在N相同情況下，比較解析度高低之依據；其中N為類比數位轉換器之有效位元數。在此將列出ENOB與SNDR之關係式為

$$SNDR(dB) = 6.02N + 1.76 \dots\dots\dots(5)$$

$$ENOB(BIT) = \frac{SNDR - 1.76}{6.02} \dots\dots\dots(6)$$

由五、式及六、式將可得到SNDR與ENOB之值。

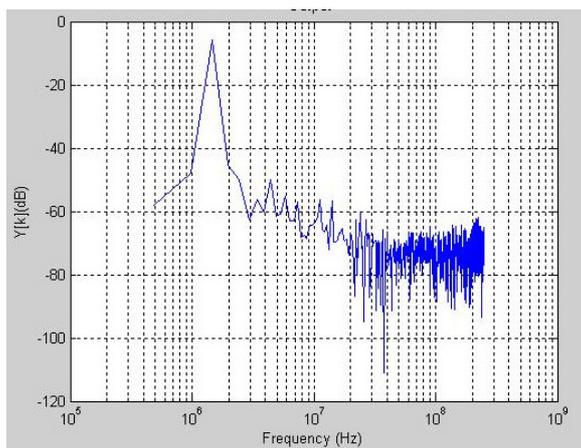


圖16. Vbias=0.85V快速傅立葉分析圖

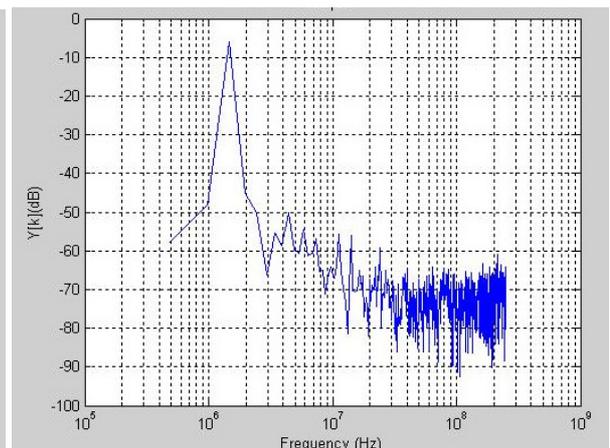


圖17. Vbias=0.9V快速傅立葉分析圖



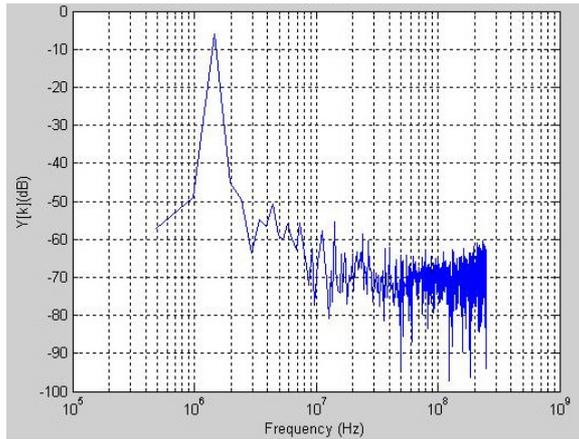


圖18. Vbias=1.0V快速傅立葉分析圖

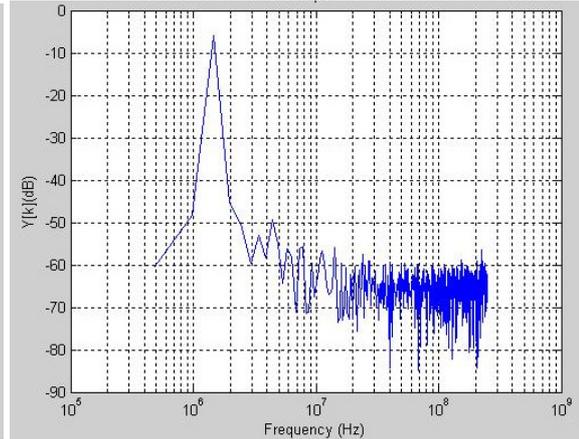


圖19. Vbias=1.1V快速傅立葉分析圖

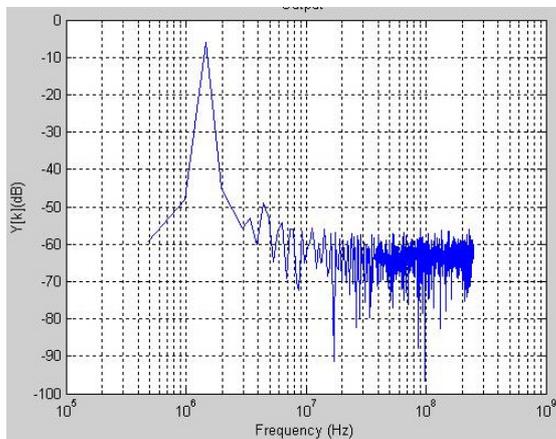


圖20. Vbias=1.15V快速傅立葉分析圖

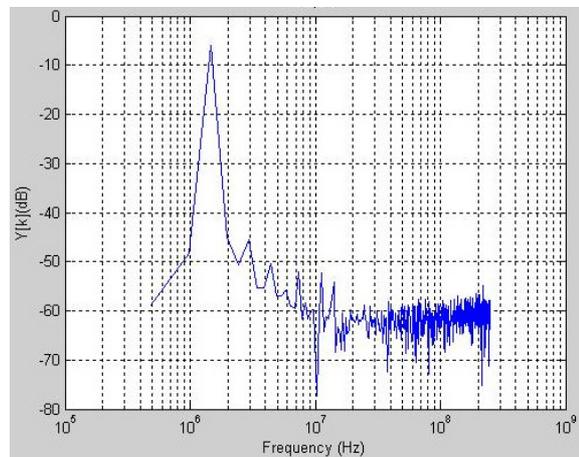


圖21. Vbias=1.2V快速傅立葉分析圖

表4. 本篇Flash-ADC模擬參數對照表

輸入偏壓	0.85 V	0.9 V	1.0 V	1.1 V	1.15 V	1.2 V
製程	TSMC 0.18 μ m					
供應電壓	1.8 V					
輸入範圍	0.2 V~1.2 V					
取樣頻率	500 MHz					
DNL	0.17/-0.1	0.17/-0.1	0.56/-0.6	0.39/-0.35	0.17/-0.39	0.3/-0.64
INL	0.01/0.89	0.01/0.89	0.39/0.65	0.04/1.26	0.2/1.39	0.46/1.64
功率消耗	26.6 mW	22.5 mW	14.5 mW	8.8 mW	6.58 mW	5.06 mW
SNDR	34.8	34.6	33.5	30.5	28.5	27.1
ENOB	5.49	5.46	5.28	4.78	4.45	4.22



表5. 本篇Flash-ADC輸入不同偏壓下之corner模擬與ENOB及功率消耗對照表

輸入偏壓		FF	FS	TT	SF	SS
0.85V	ENOB	5.38	4.98	5.49	4.49	5.04
	功率消耗	38.4 mW	20.6 mW	26.6 mW	35.4 mW	19.0 mW
0.9V	ENOB	5.43	5.30	5.46	4.78	5.09
	功率消耗	33.2 mW	17.0 mW	22.5 mW	30.5 mW	15.6 mW
1.0V	ENOB	5.44	5.36	5.28	5.19	5.29
	功率消耗	23.5 mW	10.0 mW	14.5 mW	21.4 mW	9.83 mW
1.1V	ENOB	5.33	4.35	4.78	5.34	5.25
	功率消耗	15.1 mW	6.3 mw	8.8 mW	13.5 mW	5.7 mW
1.15V	ENOB	5.39	5.00	4.45	5.20	5.10
	功率消耗	11.5 mW	5.0 mW	6.58 mW	10.2mW	4.5 mW
1.2V	ENOB	5.45	4.75	4.22	4.78	4.23
	功率消耗	8.6 mW	4.3 mW	5.06 mW	7.6 mW	3.8 mW

表6. 四種不同取樣頻率之模擬參數對照表

輸入偏壓	0.85 V	0.9 V	1.0 V	1.1V
製程	TSMC 0.18 μm			
供應電壓	1.8 V			
輸入範圍	0.2 V~1.2 V			
取樣頻率	500 MHz	400 MHz	250 MHz	200 MHz
DNL	0.17/-0.1	0.13/-0.04	0.09/-0.15	0.3/-0.39
INL	0.01/0.89	0.02/0.89	0.01/1.11	0.15/1.39
功率消耗	26.6 mW	22.3 mW	14.0 mW	8.1 mW
SNDR	34.8	35.1	35.2	36.5
ENOB	5.49	5.54	5.55	5.78

表7. 本篇輸入偏壓為1.0V時與其他文獻模擬參數比較表

	本篇	文獻[10]	文獻[11]
製程	TSMC 0.18 μm	TSMC 0.18 μm	TSMC 0.18 μm
供應電壓	1.8 V	1.8 V	1.8 V
取樣頻率	500 MHz	1 GHz	400 MHz
DNL	0.56/-0.6	<1	0.9/-0.9
INL	0.39/0.65	<1.1	0.7/-0.7
功率消耗	14.5 mW	550 mW	108 mW
ENOB	5.28	5.1	6.35



從表4中我們可以得知，當比較器輸入偏壓越大時，其功率消耗越小，ENOB也越低。這是因為 V_{bias} 為比較器PMOS M5的輸入，而PMOS的特性是在低電位時才會導通，由於本實驗的供應電壓為1.8V，所以輸入在0.85V時，比較器的轉換延遲時間為最小，功率消耗為最大，ENOB為最高；而當輸入偏壓到1.2V時，M5已經趨向OFF的狀態，所以會導致比較器的轉換延遲時間為最大，功率消耗為最小，ENOB為最小。而從表6可以得到另外一個結果，我們可以降低取樣頻率並增加比較器的輸入偏壓，如此一來不僅可以讓功率降低，同時也可以增加Flash ADC的ENOB，因此表4與表6可以讓使用者在選擇需要不同功率消耗、取樣頻率與ENOB上，有了更明確的對照。

肆、 結論

本篇提出一個可選擇功率消耗之 500MS/s 快閃式類比數位轉換器，在六種不同的偏壓之下，使用 Synopsys 公司的 Hspice 模擬軟體和 TSMC 0.18 μ m COMS 製程進行模擬。從模擬結果我們可以得知，當取樣頻率固定在 500MHz，輸入偏壓在 0.85V 及 1.2V 時，得到的功率消耗分別為最高的 26.6mW 與最低的 5.06mW，其解析度分別為最高的 5.49bit 與最低的 4.22bit；而在較低的取樣頻率 200MHz 之下，輸入偏壓為 1.1V 時，所得到的功率消耗為最低的 8.1mW，其解析度為最高的 5.78bit。因此除了降低功率消耗、提升頻寬之外，未來研究還必須提升快閃式類比數位轉換器之轉換速度。

伍、 致謝

感謝國家晶片系統設計中心(CIC)提供 TSMC 0.18 μ m CMOS 製程資料、模擬軟體以及彰化師範大學積體電路設計研究所、電子工程學系提供電腦設備以及技術指導。



陸、參考文獻

- S. Veeramachanen, A. M. Kumar, V. Tummala and M. B. Srinivas, "Design of a Low Power, Variable-Resolution Flash ADC," VLSI Design, 2009 22nd International Conference, pp.117-122, 2009.
- M. Masoumi, E. Markert, U. Heinkel, G. Gielen, "Ultra low power flash ADC for UWB transceiver applications," Circuit Theory and Design, 2009. ECCTD 2009. European Conference, pp.41-44, 2009
- M. O. Shaker, S. Gosh and M. A. Bayoumi, "A 1-GS/s 6-bit flash ADC in 90 nm CMOS," Circuits and Systems, 2009. MWSCAS '09. 52nd IEEE International Midwest Symposium, pp.144-147, 2009.
- Y.-S. Hwang, J.-F. Lin, C.-C. Huang, J.-J. Chen and W.-T. Lee, "An efficient power reduction technique for flash ADC," SOC Conference, 2007 IEEE International, pp.43-46, 2007.
- W. T. Lee, P. H. Huang, Y. Z. Liao and Y. S. Hwang, "A New Low Power Flash ADC Using Multiple-Selection Method," Electron Devices and Solid-State Circuits, 2007. EDSSC 2007. IEEE Conference, pp.341-344, 2007.
- Y. Z. Lin, Y. T. Liu, and S. J. Chang, "A 5-bit 3.2-GS/s Flash ADC With a Digital Offset Calibration Scheme," Very Large Scale Integration (VLSI) Systems, IEEE Transactions , pp.509-513, 2010.
- 吳健福（民93）。一個六位元每秒十億次取樣頻率的類比/數位轉換器。國立成功大學電機所儀器系統組碩士班碩士論文，台南市。
- S. Tsukamoto, W. G. Schofield, and T. Endo, "A CMOS 6-b, 400Msamples/s ADC with error correction," IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 1939-1947, Dec. 1998.
- Y. J. Chuang, H. H. Ou, and B. D. Liu, "A Novel Bubble Tolerant Thermometer-to-Binary Encoder for Flash A/D Converter," VLSI Design, Automation and Test, 2005. (VLSI-TSA-DAT). 2005 IEEE VLSI-TSA International Symposium, pp. 315- 318, 27-29 April 2005.
- C. H. Chang, C. Y. Hsiao and C. Y. Yang, "A 1-GS/s CMOS 6-bit Flash ADC an Offset Calibrating Method," VLSI Design, Automation and Test, 2008. VLSI-DAT 2008. IEEE International Symposium on Digital Object Identifier: 10.1109/VDAT.2008.4542455 Publication Year: 2008 , Page(s): 232 – 235.
- H. Y. Lee, I. H. Wang and S. I. Liu, " A 7-BIT 400MS/s sub-ranging flash ADC in 0.18um CMOS," SOC Conference, 2007 IEEE International Digital Object Identifier: 10.1109/SOCC.2007.4545415 Publication Year: 2007 , Page(s): 11 – 14.

