

新型低功率雙邊緣觸發正反器設計

余建政、陳冠廷

摘要

在相同的時脈頻率下，雙邊緣觸發正反器能夠提供兩倍於單邊緣觸發正反器的資料傳輸率。在低功率 VLSI 電路設計中，雙邊緣觸發正反器的使用已廣泛的受到重視。本文提出一種新型低功率雙邊緣觸發正反器電路設計，並與四篇先前之雙邊緣觸發正反器電路，在不同工作電壓和不同工作頻率下，針對功率損耗和功率延遲乘積 (Power-Delay Product; PDP) 加以分析比較。

本論文係使用 TSMC 180nm 的製程技術模擬。根據模擬結果顯示，本論文所提出之雙邊緣觸發正反器能有效減少功率損耗達 53.8%，並能改善功率延遲乘積達 70%。

關鍵詞：低功率、雙邊緣觸發正反器、資料傳輸率。



A Novel Low-Power Dual Edge-Triggered Flip-Flop Design

C. -C. Yu , K. -T. Chen

Abstract

The dual edge-triggered flip-flops (DETFFs) use both clock edges and can provide a data rate that is twice that of single edge-triggered flip-flops for the same clock frequency. In the research of low-power VLSI circuits design, the use of DETFF has gained more attention. In this paper, we present a novel low-power DETFF design and compare four previously published DETFFs with our proposed design for their power dissipation and power-delay product (PDP), at different voltage and frequency.

HSPICE simulation results employing TSMC 180nm CMOS technology indicate the proposed flip-flop can reduce effectively power dissipation up to 53.8% as compared to other DETFFs. Moreover, the improvement in power-delay product is enhanced up to 70%.

Keywords: low-power, dual edge-triggered flip-flop, data rate.

C.-C. Yu, Assistant Professor, Department of Electronic Engineering, Hsiuping University of Science and Technology.

K.-T. Chen, Master, Graduate School of Electrical Engineering, Hsiuping University of Science and Technology.

Received 1 August 2011; accepted 21 November 2011



壹、前言

微電子領域的發展趨勢顯示，超大型積體電路（Very Large Scale Integrated Circuit; VLSI）的功率損耗每三年增加四倍，這一事實引起人們對功率損耗問題的關注。隨著消費者的需求以及可攜式產品的蓬勃發展，為了延長這些可攜式產品的使用及待機時間，功率損耗（power dissipation）的問題越來越受到重視。在一個數位系統設計中，儲存元件（storage element）在電路系統中扮演著非常重要的角色，它將會直接影響到整個電路系統的操作速度及功率損耗[1]。而正反器（flip-flop; FF）則是時脈系統中常用的儲存元件。實現降低功率損耗的方法包括降低工作電壓、操作速度以及減少時脈電路...等，雖然很多方法都可以達到降低功率損耗的目的，但是降低功率損耗也造成了降低性能的副作用，因此我們需要一個可以同時達到降低功率損耗卻不降低性能的設計方式。

單邊緣觸發正反器（Single Edge-Triggered Flip-Flop; SETFF）每個週期內只使用了兩個邊緣中的一個，第二個邊緣則被浪費了。亦即，在單邊緣觸發正反器中，時脈的一個邊緣通常是多餘的。為了減少不必要的功率損耗，近年來雙邊緣觸發正反器（Dual Edge-Triggered

Flip-Flop; DETFF）的設計一直受到關注。雙邊緣觸發正反器使用了時脈信號的上升和下降邊緣。在相同的時脈頻率下，雙邊緣觸發正反器能夠提供兩倍於單邊緣觸發正反器的資料傳輸率（data rate）。也就是說，雙邊緣觸發正反器只需要單邊緣觸發正反器一半的工作頻率，就可以達到相同的資料傳輸率。因此，雙邊緣觸發正反器可以有效的降低功率損耗。

S. H. Unger在1981年提出了第一種雙邊緣觸發正反器[2]。到目前為止，大多數的雙邊緣觸發正反器大都是由兩個平行排列的單邊緣觸發部分以及用以選擇輸出信號的一些組合邏輯組成的。值得一提的是，雙邊緣觸發正反器所需的面積幾乎是單邊緣觸發正反器的兩倍。近年來，有很多學者對於低功率雙邊緣觸發正反器的設計與改良投入研究。這一事實表示，IC設計者在小的矽面積和低功率之間已經傾向於優先考慮低功率了[3]。為了有效降低功率損耗，有些學者提出的正反器電路中之開關電晶體，是利用傳導電晶體（pass transistor）來取代傳統電路所使用的傳輸閘（Transmission Gate; TG），以減少電晶體個數（transistor count）以及降低功率損耗[4]-[6]。然而，傳導電晶體邏輯（pass transistor logic; PTL）的主要缺點是在輸出端缺少全擺幅（full swing），任何由信號驅動的電路，如果不能實現全



擺幅，都會出現靜態功率損耗（static power dissipation）。隨著臨界電壓（threshold voltage）的降低，這個問題還會更加嚴重。本文將改進上述缺點，提出一具低功率損耗之雙邊緣觸發正反器，並與四篇先前之雙邊緣觸發正反器電路，針對功率損耗和功率延遲乘積（Power-Delay Product; PDP）做分析與比較。

本文共分成六節。第二節介紹低功率 CMOS 電路設計概念。第三節則是介紹四篇先前其他學者所提出之雙邊緣觸發正反器的電路架構。第四節介紹本文所提出之雙邊緣觸發正反器的電路架構以及工作原理。第五節針對我們所提出的電路與第三節中所討論的各正反器電路做一完整的模擬分析與比較。第六節是本文之結論。

貳、低功率 CMOS 電路設計

低功率數位積體電路是目前非常熱門的研究領域。隨著電晶體尺寸的縮小，矽晶片上的電晶體密度大幅增加，功率損耗的降低也就益形重要。本節將討論有關低功率 CMOS 電路的設計技術。

功率損耗中的主要因素包括各節點的切換率（switching activity; α ）、電源電壓（supply voltage; V_{DD} ）、各節點上的電壓擺幅（voltage swing; V_s ）、各節

點處的電容（ C_L ）和時脈頻率（clock frequency; f_{ck} ）。對於一個 CMOS 電路而言，整體平均功率損耗主要由動態功率損耗（dynamic power dissipation; P_{dy} ）、短路功率損耗（short-circuit power dissipation; P_{sc} ）、漏電流功率損耗（leakage-current power dissipation; P_{lc} ）以及靜態功率損耗（static power dissipation; P_{st} ）等四個部分所組成，亦即，

$$P_{avg} = P_{dy} + P_{sc} + P_{lc} + P_{st} \quad (1)$$

其中，動態功率損耗為：

$$P_{dy} = \alpha C_L V_{DD}^2 f_{ck} \quad (2)$$

短路功率損耗為：

$$P_{sc} = I_{sc} V_{DD} \quad (3)$$

漏電流功率損耗為：

$$P_{lc} = I_{leakage} V_{DD} \quad (4)$$

靜態功率損耗為：

$$P_{st} = I_{static} V_{DD} \quad (5)$$

CMOS 的一個主要的優點是它具有特別低的靜態功率損耗。然而，只要輸出節點產生切換（switching）動作，CMOS 電路中總會有功率損耗。一般而言，在 CMOS 電路中，動態功率損耗佔整體功率損耗可達 90% [7]。從公式 (2) 中不難發



現，透過減少公式中的一個參數就可以使動態功率損耗得到某種程度的降低。我們可以透過降低工作頻率來降低功率損耗，但是數位系統中對提高資料傳輸率的需求在不斷增加，因此這不是個理想的做法。另一個降低動態功率損耗的方法是減少負載電容。負載電容越大，動態功率損耗也就越大。大的負載電容還會降低工作速度。這可以透過電晶體的尺寸調整，比如縮小寬度（ w ）、通道長度（ l ）和氧化層電容（ C_{ox} ），以有效降低負載電容值。另外，由公式（2）可以很明顯地看出，減少電源電壓可以降低功率損耗。然而，儘管減少電壓可以降低動態功率損耗，但是其代價是傳輸延遲的增加。

一個好的設計技術是需要在本節討論的各種參數之間進行仔細的權衡。在對速度、面積和功率損耗等作出權衡時，功率延遲乘積可能是個很好的衡量參數。它可以在確保對性能影響最小的條件下，獲得最大的節能效果。

參、先前雙邊緣觸發正反器電路

本節介紹四篇較經典的雙邊緣觸發正反器之電路架構。由R. P. Llopis等人所提出的DET_{llopis}電路是由四個傳輸閘（TG1、TG2、TG3、TG4）、三個反相器（I1、I4、I5）以及兩組具鐘控反相器

（clocked inverter）之栓鎖器所組成，如圖1所示[8]。其中，四個傳輸閘係做為開關電晶體之用。

而由M. Pedram等人所提出之電路DET_{pedram}是由四個傳輸閘（TG1、TG2、TG3、TG4）以及兩組特殊的栓鎖器所組成，如圖2所示[9]。此種特殊栓鎖器的優點是當輸入信號D的下一狀態有所改變時，能夠更快速的傳送至節點N1及N3。但是，由於不斷的充放電，會造成較大的功率損耗。

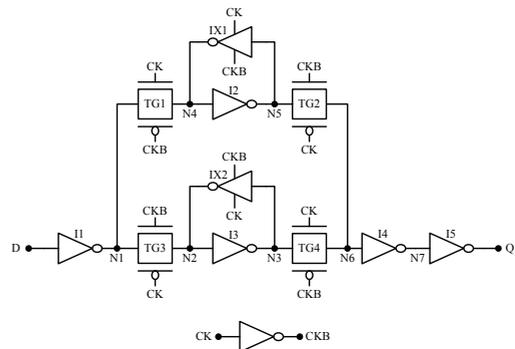


圖 1 正反器 DET_{llopis} 電路圖

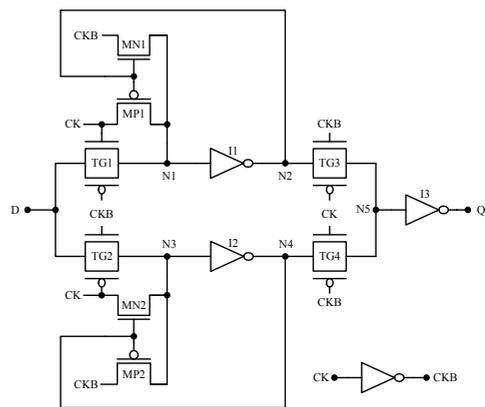


圖 2 正反器 DET_{pedram} 電路圖



DET_{stollo} 電路是由Stollo等人所提出的雙邊緣觸發正反器，如圖3所示[10]。此雙邊緣觸發正反器是由四個開關電晶體（MN1、MN2、MN3、MN4）以及栓鎖器所組成，並使用一時脈樹產生脈衝信號來控制輸入信號D，而使用虛擬NMOS電晶體（pseudo-NMOS）串接一PMOS電晶體做為回授控制電晶體。

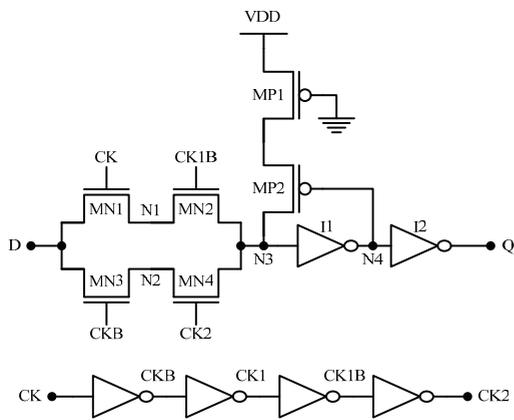


圖 3 雙邊緣觸發正反器 DET_{stollo} 電路圖

此外，DET_{chung} 電路是由Chung等人所提出的雙邊緣觸發正反器，如圖4所示[11]。此雙邊緣正反器是由六個開關電晶體（MN1、MN2、MN3、MN4、MN5、MN6）、兩組栓鎖器以及兩個鐘控反相器所組成。該電路採用互補的輸入信號（D、DB）以及互補的時脈信號（CK、CKB）來控制開關電晶體。由於開關電晶體全部採用傳導電晶體，因此可以有效避免PMOS電晶體的堆疊。

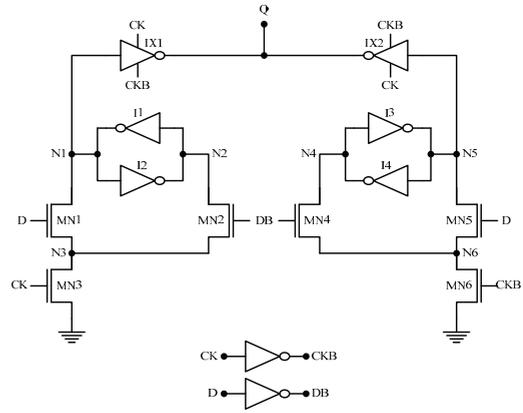


圖 4 雙邊緣觸發正反器 DET_{chung} 電路圖
肆、本文所提出之雙邊緣觸發正反器

圖5所示為本文所提出的雙邊緣觸發正反器DET_{proposed}之電路結構圖。該雙邊緣觸發正反器是由六個開關電晶體（MN1、MN2、MN3、MN4、MN5、MN6）和兩組栓鎖器以及一輸出回授電路所組成。其中，栓鎖器係分別由反相器I1、I2及反相器I3、I4所形成；而輸出回授電路係由反相器I5及回授電晶體MP1所形成。



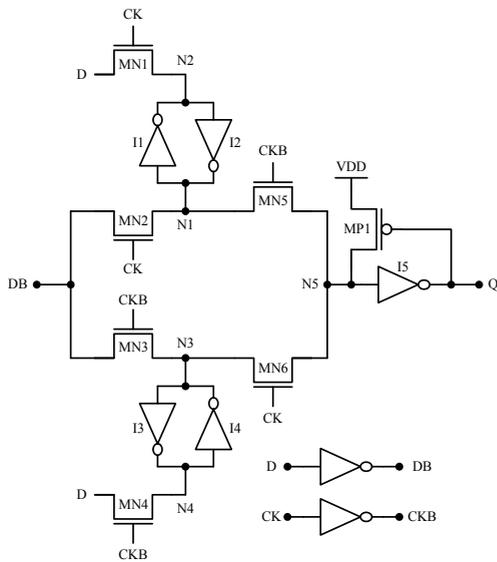


圖 5 本論文所提出的正反器 $DET_{proposed}$

此雙邊緣觸發正反器電路之特點為：使用NMOS電晶體做為開關電晶體，以達到較快的傳輸速度，但是因為NMOS傳送的邏輯1電位衰減到接近 $V_{DD} - V_m$ 的問題，於是我們以兩個栓鎖器以及兩組輸入開關電晶體來解決NMOS缺少全擺幅（full swing）的問題。每一個栓鎖器的兩個輸入開關電晶體各由一組相同的時脈控制信號CK（或反相時脈控制信號CKB）來控制，而每一組輸入開關電晶體的輸入端係使用互補的輸入信號（D，DB）。縱使其中的一個NMOS所傳輸的信號為接近 $V_{DD} - V_m$ 的電位信號，而另一個傳輸互補信號的NMOS所傳輸的肯定會是低電位信號，再藉由栓鎖器來將原本儲存 $V_{DD} - V_m$ 電位之節點補償至 V_{DD} 電位。此

一架構如同6T的SRAM架構，能夠快速且穩定的將資料做寫入的動作，並將寫入後的電位補償至資料輸出應具有的電位；而輸出端的兩個NMOS開關電晶體亦可由MP1來做回授補償，將MN5或MN6所傳輸的 $V_{DD} - V_m$ 電位充電至 V_{DD} 電位。

現在考慮時脈控制信號CK由高電位轉態為低電位時，雙邊緣觸發正反器的操作情形：當時脈控制信號CK是低電位（此時反相時脈控制信號CKB是高電位）時，電晶體MN3、MN4和MN5導通，而MN1、MN2和MN6截止。由於MN3和MN4導通、MN6截止，使得輸入信號D透過MN4和反相器I4，將輸入信號D的反相信號與反相輸入信號DB暫存於節點N3，並由反相器I3及I4所組成之栓鎖器將節點N3上之資料鎖存住。與此同時，由於MN5導通，節點N1上之資料信號透過MN5經反相器I5輸出至輸出節點Q。如果輸出節點Q為低電位，則回授電晶體MP1導通，並將節點N5拉升至VDD。

再考慮時脈控制信號CK由低電位轉態為高電位時，雙邊緣觸發正反器的操作情形：當時脈控制信號CK是高電位（此時反相時脈控制信號CKB是低電位）時，電晶體MN1、MN2和MN6導通，而MN3、MN4和MN5截止。由於MN1和MN2導通、MN5截止，使得輸入信號D透過MN1和反相器I2，將輸入信號D的反相信號與反相



輸入信號DB暫存於節點N1，並由反相器I1及I2所組成之栓鎖器將節點N1上之資料鎖存住。與此同時，由於MN6導通，節點N3上之資料信號透過MN6經反相器I5輸出至輸出節點Q。如果輸出節點Q為低電位，則回授電晶體MP1導通，並將節點N5拉升至VDD。如此，雙邊緣觸發正反器的功能便實現。

所以，本文所提出之雙邊緣觸發正反器，不但擁有利用單一NMOS傳輸的速度優勢，又可以解決NMOS缺少全擺幅之問題。此外，因為本文所提出之雙邊緣觸發正反器所設計之補償電路，容許輸入信號D或反相輸入信號DB其中一邊缺少全擺幅的特性，如同6T之SRAM特性般，可藉由另一低電位輸入端來做補償。

伍、模擬結果與分析

在本節中，我們將針對上述先前雙邊緣觸發正反器電路和本文所提出的雙邊緣觸發正反器，以TSMC 180nm製程並使用BSIM 3 Level 49的MOSFET模型，工作時脈頻率為500MHz，波形為工作週期（duty cycle）50%的方波，上升時間、下降時間各為100ps，於室溫25°C的環境下針對功率損耗以及功率延遲乘積加以模擬分析與比較。

圖6所示為本文所提出之雙邊緣觸發正反器DET_{proposed}的HSPICE暫態模擬結

果。由該模擬結果可証實，本文所提出之雙邊緣觸發正反器電路的功能正確無誤。

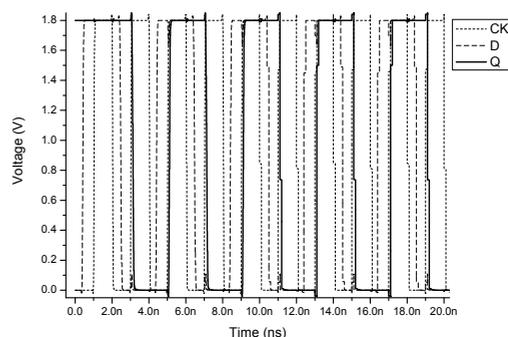


圖 6 本文所提出電路之暫態分析時序圖

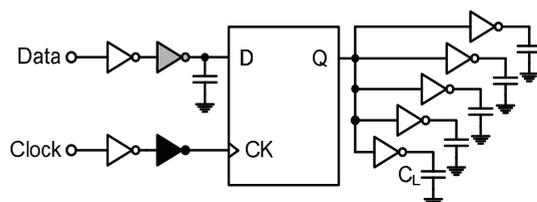


圖 7 雙邊緣觸發正反器的模擬測試環境

由於雙邊緣觸發正反器功率損耗可以分為資料功率損耗（data power dissipation; P_{Data} ）、時脈功率損耗（clock power dissipation; P_{Clock} ）和內部功率損耗（internal power dissipation; $P_{Internal}$ ）三個部分。我們以圖7做為正反器的模擬測試環境。資料功率損耗定義為圖中灰色反相器的功率損耗；時脈功率損耗定義為黑色反相器的功率損耗；而內部功率損耗定義為正反器電路本身內部的功率損耗。圖中每個負載電容（CL）大小為25fF。



由表1可以看出 DET_{pedram} 電路的整體功率損耗 (P_{Total}) 最大，而本文所提出之 $DET_{proposed}$ 電路的整體功率損耗最低，能有效減少功率損耗最高可達53.8%。

表 1 功率損耗比較 (@500MHz, $\alpha=0.5$)

	P_{Clock} [uW]	P_{Data} [uW]	$P_{Internal}$ [uW]	P_{Total} [uW]
DET_{llopis}	4.94	0.65	33.55	39.14
DET_{pedram}	6.26	4.74	50.96	61.96
$DET_{strollo}$	2.02	1.10	31.39	34.51
DET_{chung}	3.59	1.30	33.25	38.14
$DET_{proposed}$	3.05	1.89	23.68	28.62

因為正反器會隨著切換率 α 的不同而產生不同的功率損耗，為了更進一步顯示本文所提出電路之低功率特性，我們在不同的切換率 α 下，比較各電路的整體功率損耗，如表2所示。從表2中可知，在不同的切換率下， $DET_{proposed}$ 的整體功率損耗都是最低的。

表 2 不同切換率的功率損耗比較 (@500MHz)

	$\alpha=0$ [uW]	$\alpha=0.5$ [uW]	$\alpha=1$ [uW]
DET_{llopis}	10.63	39.14	65.32
DET_{pedram}	21.14	61.96	85.41
$DET_{strollo}$	18.78	34.51	74.69
DET_{chung}	8.46	38.14	65.45
$DET_{proposed}$	3.25	28.62	54.15

接著我們在不同的切換率 α 下，再針對功率延遲乘積 (PDP_{dq}) 加以比較，其中， PDP_{dq} 係功率損耗與延遲時間(t_{dq})的乘積，延遲時間(t_{dq})為從資料變化起至輸出訊號跟著完成變化為止之延遲時

間。結果如表3所示：

表 3 不同切換率的 PDP_{dq} 比較 (@500MHz)

	$\alpha=0.5$	$\alpha=1$
DET_{llopis}	13.6	22.7
DET_{pedram}	18.0	24.8
$DET_{strollo}$	16.1	19.6
DET_{chung}	12.1	20.7
$DET_{proposed}$	7.5	14.2

如表3所示，在不同切換率下， $DET_{proposed}$ 的 PDP_{dq} 值也都是最小的。可見在不同切換率下， $DET_{proposed}$ 電路之功率損耗以及功率延遲乘積都優於先前正反器電路。

陸、結論

所有的雙邊緣觸發正反器在經過一連串的模擬測試後，我們可以觀察到本文所提出之雙邊緣觸發正反器不但在功率損耗上有最佳的表現，而且在延遲時間 (t_{dq})、 PDP_{dq} 及 EDP_{dq} 方面也有不錯的表現。

參考文獻

- [1] J. Tschanz, S. Narendra, Z. Chen, S. Borkar, and M. Sachdev, "Comparative Delay and Energy of Single Edge-Triggered & Dual Edge-Triggered Pulsed Flip-Flops for High-Performance Microprocessors," in *Symp. VLSI Circuits Dig. Tech. Papers*, 2001, pp. 217-218.
- [2] S. H. Unger, "Double Edge-Triggered



- Flip-Flops,” *IEEE Trans. Comput.*, vol. C-30, no. 6, pp. 1652-1655, June 1981.
- [3] A. Gago, R. Escano, and J. A. Hidalgo, “Reduced Implementation of D-type DET Flip-Flops,” *IEEE J. Solid-State Circuits*, vol. 28, pp. 400-442, Mar. 1993.
- [4] R. Hossain, L. D. Wronski, and A. Albicki, “Low Power Design Using Double Edge Triggered Flip-Flops,” *IEEE Trans. VLSI Syst.*, vol.2, no. 2, pp.261-265, June 1994.
- [5] R. P. Llopis and M. Sachdev, “Low Power, Testable Dual Edge Triggered Flip-Flops,” in *1996 Int. Symp. Low Power Electronics and Design*, 1996, pp. 341-345.
- [6] S. Y. Kuo et al., “Double Edge Triggered Flip-Flop,” U. S. Patent, 5 751 174, May 1998.
- [7] M. Pedram, Q. Wu, and X. Wu, “A New Design of Double Edge Triggered Flip-Flops,” in *Proc. ASP-DAC '98 Asian and South Pacific Design Automation Conf. 1998*, 1998, pp. 417-421.
- [8] A. G. M. Strollo, E. Napoli, and C. Cimino, “Low Power Double Edge-Triggered Flip-Flop Using One Latch,” *Electron. Lett.*, vol. 35, no. 3, pp. 187-188, 1999.
- [9] W. M. Chung, T. Lo, and M. Sachdev, “A Comparative Analysis of Low-Power Low-Voltage Dual-Edge-Triggered Flip-Flops,” *IEEE J. VLSI Syst.*, vol. 10, no. 6, pp. 913-919, Dec. 2002.
- [10] W. M. Chung, “The Usage of Dual Edge Triggered Flip-Flops in Low Power, Low Voltage Applications,” Master Thesis, University of Waterloo, 2003.
- [11] N. H. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 3rd ed., Addison Wesley, 2004.
- [12] K. S. Yeo, S. S. Rofail, and W. L. Goh, *CMOS/BiCMOS ULSI: Low Voltage, Low Power*, Prentice Hall, 2001.

