

快速、低消耗功率之液晶顯示器驅動電路

盧志文* 林志能 蔡宗志

*國立暨南國際大學電機系

南投縣埔里鎮大學路 1 號

大葉大學電機工程研究所

彰化縣大村鄉山腳路 112 號

摘要

本文提出一個能應用在液晶顯示器驅動電路之高速、低功率消耗並大範圍的輸入及輸出之輸出緩衝器電路。此緩衝器在輸入信號轉換 (transient) 時有很好的驅動能力，但是在靜態時消耗很少的電流，此電路已在台積電使用 $0.6 \mu\text{m}$ CMOS 技術完成雛形品。

關鍵詞：液晶顯示器，輸出緩衝器，薄膜電晶體，灰階，靜態電流，最大輸出範圍

High-Speed Low-Power Driver Circuit Design for Liquid Crystal Display

CHIH-WEN LU*, CHIH-NENG LIN and TSUNG-CHIH TSAI

**Department of Electrical Engineering, National Chi-Nan University*

1, University Rd., Puli, Nantou, Taiwan

Department of Electrical Engineering, Da-Yeh University

112, Shan-Jiau Rd, Da-Tsuen, Chang-Hwa, Taiwan

ABSTRACT

A high-speed, low-power-output buffer circuit with a large input dynamic range and output swing which is suitable for a liquid-crystal-display application is proposed. The buffer has an improved driving capability during transients but draws little current during a static state. This buffer circuit has been demonstrated successfully by using TSMC $0.6\mu\text{m}$ CMOS technology.

Key Words : liquid crystal display, output buffer, thin film transistor, gray level, static current, output swing



一、液晶顯示器功率消耗問題

液晶顯示器帶給人們無論在日常生活或是工作上都有莫大的便利性，它不但能應用於桌上型電腦，小型液晶電視螢幕，及眾多電子產品的顯示介面，最大的好處就在於它能夠配備在筆記型電腦上，實現了人們將電腦帶著走的願望，但由於液晶顯示器的尺寸越來越大，市面上已有配備 14 吋的筆記型電腦，更有 21 吋的液晶顯示器在市場出現，但可想而知，隨著顯示面板越作越大，所需要消耗的電量也就要越大，而這點就對靠電池供應電源的筆記型電腦就非常的不利，因這將會減少筆記型電腦在充完電後所可以使用的時間，造成使用者必須時常充電的麻煩，因此，如何設計一個省電的液晶顯示器越來越重要。

目前在市面上一般可見的筆記型電腦其液晶顯示器面板大部分的解析度都可以到達 1024×768 的地步，而這就代表著這液晶顯示器面板需要在長度有著 1024 條的控制線，以及在寬度需要 768 條的控制線，然後在將這些控制線縱橫交錯，如圖 1 所示，形成一個網狀結構，才能夠達到 1024×768 的解析度，而接著在送入訊號給這些控制線路，來控制液晶顯示器在面板上每一個控制線交錯點上顏色的變化及明暗，最後在由這些交錯點組成我們目前所看到的液晶顯示器了，但因為隨著液晶面板的越做越大，這些控制線的長度也就會越來越長，相對的在這些控制線上所造成的電阻及電容效應也就越加的明顯，如圖 2 所示，若閘極電壓從左邊輸入，則越到右邊，其電壓波形的延遲與失真就越嚴重，使得右方畫素會有充電不足的現象或者得到錯誤的資料電壓，因此使得畫面左右亮度不均及灰階錯誤等情形，尤其對大容量的 TFT-LCD，此一問題更加嚴重。因此為了要將這些訊號快速的送入控制線，就必須要有一個很好的輸出緩衝器供驅動電路使用，才能夠將訊號快速的送入控制線。

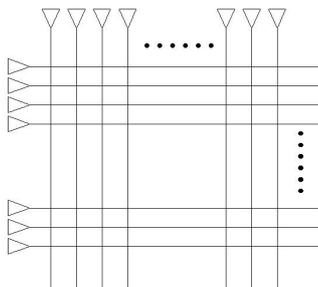


圖 1. 液晶顯示器面板概要基本架構

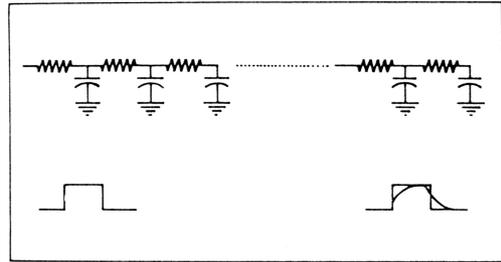


圖 2. 閘極線的電阻及電容等效電路圖

所以本電路研究的目的，就在於如何能夠使液晶顯示器達到快速且低功率的目的，而對一個大面積的液晶顯示器而言，其所造成的線電容效應都非常的大，所以其驅動電路的輸出緩衝器就必須對這樣的電容要有很好的驅動能力，再加上每一個控制線都需要有一個輸出緩衝器，所以一個液晶顯示器驅動電路需要非常多個輸出緩衝器，假若每一個輸出緩衝器都是快速、低功率消耗的輸出 buffer，那麼必能夠節省大量的功率消耗，而這也節省了例如筆記型電腦電池的消耗，而延長了使用的時數。所以期望能設計一個快速且低功率輸出緩衝器供驅動電路使用。綜合以上所言，目前對液晶顯示器輸出緩衝器的要求：第一點為增加可靠性，因為一個液晶顯示器需要很多的緩衝器，所以設計一個可靠的輸出緩衝器是必須的，第二點是節省功率的消耗，第三點為掃描頻率要廣，因為其液晶顯示器水平掃描頻率為 31.5 到 97.8 KHz，所以緩衝器也必須要能工作在這一範圍之內 [1]。

二、輸出緩衝器

當信號源具有一可觀的電壓，但其源電阻甚大於負載電阻，若直接將負載接至電源，則會造成嚴重的信號衰減。此時我們需要一個放大器，其具有高輸入阻抗(甚大於源電阻)和低輸出阻抗(甚小於負載電阻)，及適度的電壓增益(或者增益恰好為一)。而這樣的電路被稱為緩衝放大器 [2]。而輸出緩衝器主要的作用在將一個內部電路產生的小電流推力信號，轉換成具大電流推力的信號，以推動大的電容負載。

Liquid Crystal Display Driver 一般都使用 operational amplifier buffer 當 driver。如圖 3 所示，而一顆 Liquid Crystal Display Driver IC 通常包含有很多 drivers，由於 Liquid Crystal Display 通常會應用在可攜式的設備中，例如 Notebook 或一些小型電子產品，而這些東西都需要電池供



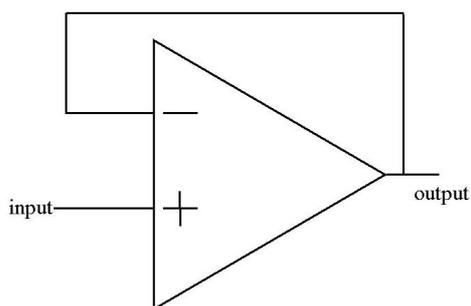


圖 3. 輸出緩衝機

應電源，所以低功率消耗的設計是很重要的，然而通常低功率消耗的電路，其驅動能力很差，如圖 4 為傳統的運算放大器，當它當作輸出緩衝器使用時，它屬於 Class A 的電路架構，其中 M9 及 M10 為輸出級，M9 的 GATE 電壓是由 M1、M2、M3 所接成的偏壓電路所提供的固定電壓，所以它只能提供固定的電流源對負載充電，所以若要對大負載電容快速的充電，就必須要加大 M9 的 W/L 比值，才能得到較大的定電流源，然而這將會增加功率的消耗，但如果為了要減少功率消耗，則 M9 之 W/L 比值就必須要減小，也就是此電流源將減小，但此小電流源，又無法快速的驅動 Liquid Crystal Display Driver 之大電容負載。也就是說，如提高了驅動能力，其功率消耗也就跟著提高。而為了減少功率的消耗，一個藉由改變偏壓電流的 Class A 電路架構放大器被提出來 [3]，這個放大器輸出級的偏壓電流源，藉由數位訊號來控制，當輸入電壓上升時，藉由數位訊號的改變，產生大的固定偏壓電流供輸出級使用，當到達穩態時，再使輸出級產生較小的偏壓電流，來維持輸出電壓的穩定。然而，這在處理灰階畫面時，由於橫向控制線的訊號變化不大，這樣的設計仍會消耗許多不必要功率。於是藉由輸入訊號的改變，

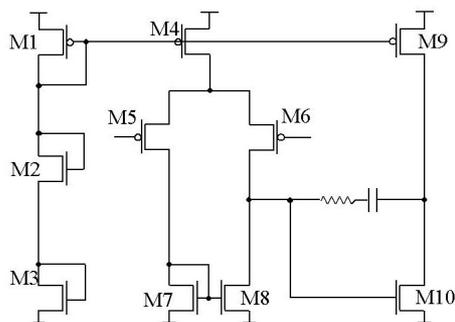


圖 4. PMOS 輸入架構的輸出緩衝機

動態改變偏壓電流的技術被提出來 [4]，在一個兩級的差動對放大器，當輸入級電壓差越大時，則輸出級就產生更大的偏壓電流，既偏壓電流能夠隨著輸入電壓的改變而動態改變。這應用於 Class B 的電路架構能減少部分的功率消耗 [5-6]，缺點就在於輸出級的電晶體 size 太大，以及處理灰階畫面時，當橫向輸入訊號變化不大的情況下，這樣的設計仍會浪費功率。

所以在此研究中，吾人設計了一個快速、低功率消耗又高驅動能力的 Class AB driver，如圖 5 所示，當輸入電壓變化大時，由大 size 的 Mrawp1 及 Mrawn1 來負責提供輸出級大的充放電電流，當輸入電壓變化小時，Mrawp1 及 Mrawn1 關閉，只藉由具有較小 size 的 opa 輸出級來維持輸出電壓的穩定，圖 6 是圖 5 opa 的內部電路架構，我們由之前的圖 4 可知，由於 NMOS 輸入架構及 PMOS 輸入架構的輸入範圍各有其優缺點，所以吾人同時採用了這兩種電路架構，或稱為 rail-to-rail 架構，使輸入的範圍擴大，電晶體 Mop1~Mop3 及 Mop13~Mop15 為偏壓電路，Mop4 及 Mop16 為定電流源，Mop5、Mop6 為 PMOS 輸入差動對，Mop17、Mop18 為 NMOS 輸入差動對，Mop7、Mop8 及 Mop19、Mop20 為電流鏡當作差動對的主動負載，Mop23、Mop24、Mop10、Mop12 為共源級放大器（common source amplifier），MRcs 及 Mcs1~Mcs3 分別當作電阻（R）及電容（C）使用，作為頻率補償，Mop25、Mop26 為輸出級，但吾人為了要在加強其驅動能力，所以加入了 sub1 及 sub2 兩個電路。

圖 5 的 sub1 及 sub2 兩個電路，則是依據之前圖 4 的電路其電晶體 M9 在被接成定電流源的形式時，無法同時兼顧既要快速的充放電，又要減低功率的消耗，而且再靜態時，仍會消耗功率，所以吾人依據此點，設計 sub1 及 sub2 兩個電路，當負載電容需要充電時，由 sub2 使電晶體 Mrawp1

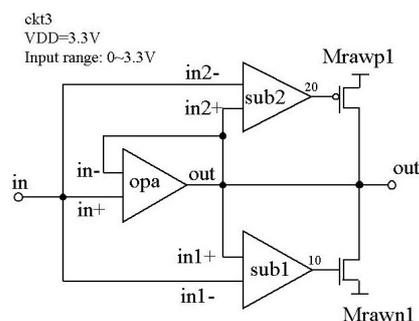


圖 5. 輸出緩衝器基本架構



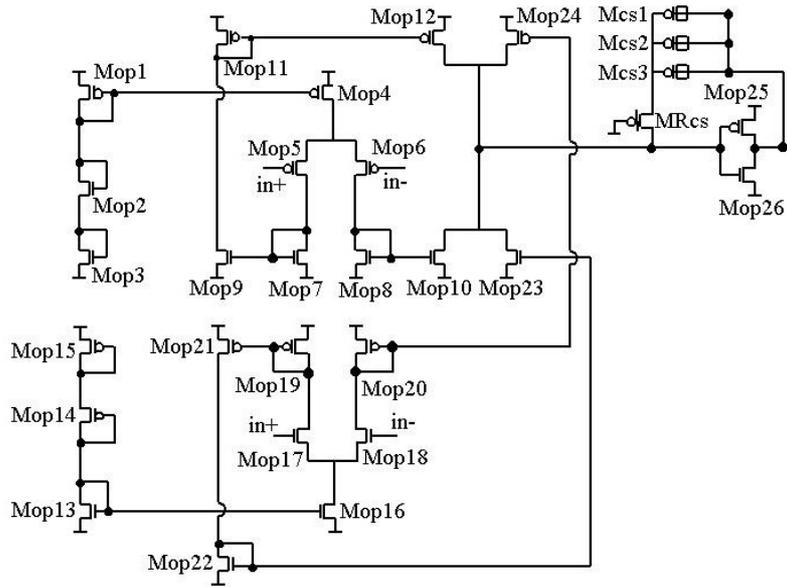


圖 6. Opa 內部電路圖

的 GATE 電壓降低，Mrarp1 則對電容大量充電，sub1 使電晶體 Mrawn1 的 GATE 電壓下降，直到關閉。而當要對負載電容放電時，由 sub1 使 Mrawn1 的 GATE 電壓升高，Mrawn1 則對電容大量放電，sub2 使 Mrawn1 的 GATE 電壓上升，直到關閉，而在靜態時，sub1 及 sub2 則維持 Mrawn1、Mrawn1 在不導通的狀態，減少電流的消耗，也就是減少在靜態時功率的消耗。其 sub1、sub2 內部電路如圖 7 及圖 8 所示，圖 7 及圖 8 的電晶體 M1~M3 及 M18~M20 為偏壓電路，M4 及 M21 為定電流源，M5、M7 為 PMOS 輸入差動對，在此當作比較器用，M22、M24 為 NMOS 輸入差動對，在此也當作比較器用，M6、M8 及 M23、M25 為電流鏡當作差動對的主動負載，M9~M13 及 M26~M30 為一般的差動對結構，M14~M17 及 M31~M34 為反向器當作輸出級，增加驅動能力。

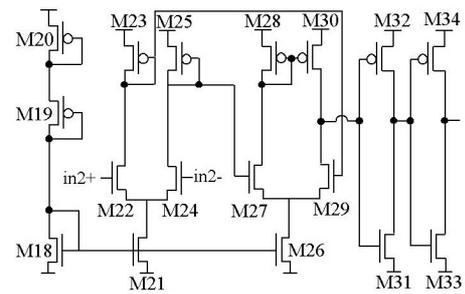


圖 8. Sub2 內部電路架構

而整個電路的動作原理，就是例如當輸入電壓上升時，opa 的輸出會對負載電容充電，使輸出電壓逐漸上升，但為了加強其驅動能力，所以這時加入了 sub2 電路，利用 sub2 內部的比較器，偵測輸入電壓及輸出電壓之間的電壓差，當電壓差越大，sub2 輸出電壓越低，電晶體 Mrawn1 就越導通，對電容充電速度就越快，等到輸出電壓漸漸上升到接近輸入電壓時，sub2 所偵測到的電壓差就漸漸減少，電晶體 Mrawn1 就漸漸不導通，功率的消耗就漸漸減少，直到輸出電壓等於輸入電壓時，電晶體 Mrawn1 就被關閉，完全不消耗功率，而放電時，利用 sub1 內部的比較器，偵測電壓差，直到輸出電壓等於輸入電壓時，電晶體 Mrawn1 就被關閉，所以這兩顆電晶體 Mrawn1、Mrawn1 只有在充放電時才導通，快速的充放電，而在穩態時，則關閉不消耗功率，僅由 opa 維持輸出電壓的穩定。

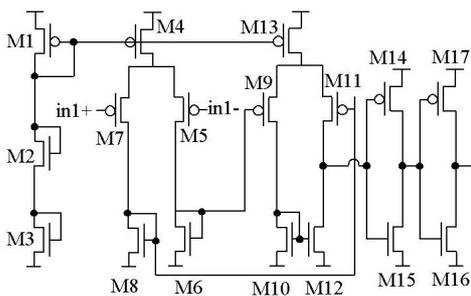


圖 7. Sub1 內部電路架構



三、模擬及實驗結果

下列圖 9~圖 10，為圖 5 輸出緩衝器電路的模擬結果，圖 11 為其輸出緩衝器雛形電路照片圖，圖 12~圖 13 為圖 5 緩衝器電路實際量測結果，圖 9 為輸入 100 KHz 方波之輸出波形，輸出端接一個 700 pf 的電容，其中 (a) 為輸入，(b) 為輸出，上升時間及下降時間只有約 $0.6\mu\text{s}$ 。圖 10 為輸入 100 KHz 三角波之輸出波形，其中 (c) 為輸入，(d) 為輸出。圖 12 為輸入 100KHz 方波之輸出波形，輸出端接一個 700 pf 的電容，其中 (a) 為輸入，(b) 為輸出，圖 13 為輸入 100 KHz 三角波之輸出波形，其中 (c) 為輸入，(d) 為輸出。

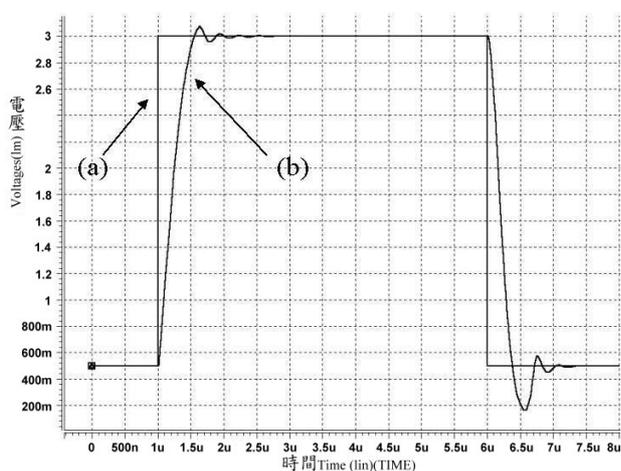


圖 9. 方波模擬之輸出波形

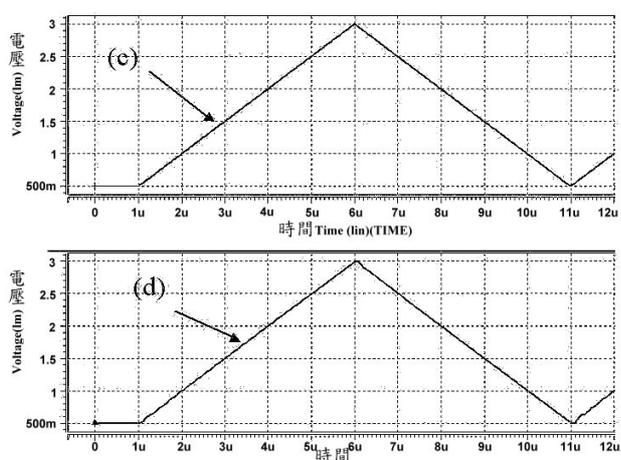


圖 10. 三角波模擬之輸出波形

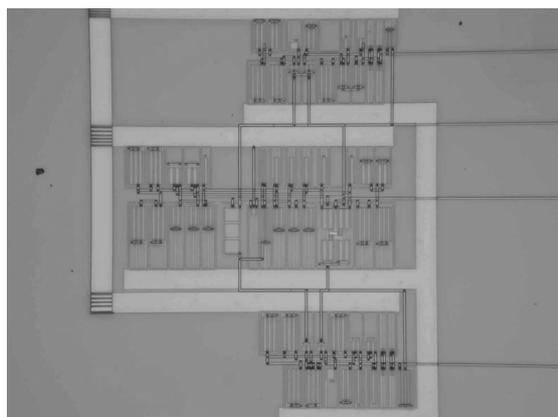


圖 11. 輸出緩衝器雛形電路照片圖

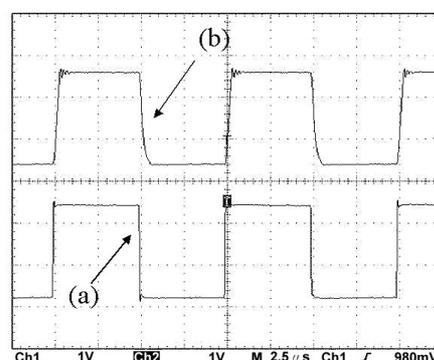


圖 12. 方波實驗之輸出波形

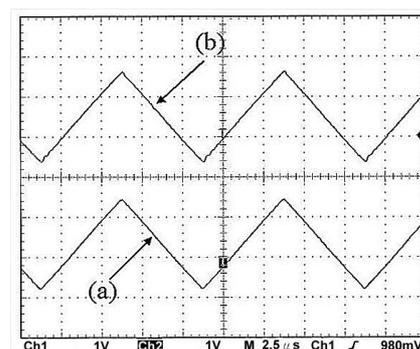


圖 13. 三角波實驗之輸出波形

四、結論

我們已提出並展示一個高速度且低功率消耗的輸出緩衝器，此緩衝器非常適合應用在液晶顯示器的驅動電路上，本電路乃是利用 opa 內部的 rail-to-rail 的輸入架構，再加上 sub1 及 sub2 電路及兩顆電晶體，當輸入有變動時，sub1 及 sub2 內部的比較器就會偵測出其變動，並控制



Mrawp1 及 Mrawp2 作充放電的工作，等到快接近輸入電壓時，Mrawp1 及 Mrawp2 便停止作充放電，由於 Mrawp1 及 Mrawp2 size 較大所以能大量的充放電，達到快速的目的，並且此兩顆電晶體 Mrawp1 及 Mrawp2 在穩態時，是保持在 off 狀態，不消耗電流，節省功率消耗，達到低功率的目的。

此雛形品再推動一個 680 pf 的負載電容時，其上升時間及下降時間分別為 0.6 μ s 及 0.7 μ s，靜態電流只有 80 μ A，其 Output swing 為 2.503 V。由於 Thin-film-transistor LCD 的彩色深度由 6 bit 發展至 8 bit，成為 256 gray level，當工作電壓在 3.3 V 時，一般要求每一 gray level 的最小輸出電壓，峰對峰值要能夠達到 10 mV 左右，而本電路最小可達到 9 mV 上下，並且能夠在頻率 30 KHz 到 100 KHz 之間正常工作，所以經由這些量測值顯示，此緩衝器非常適合應用在低耗能及高解析度的大銀幕顯示器驅動電路上。

參考文獻

1. Yu, P. C. and J. C. Wu (1999) A class-B output buffer for flat-panel-display column driver. *IEEE JSSC*, 34(1), 116-119.
2. Sedra, A. S. and K. C. Smith (1992) *Mmicroelectronic circuit*. 3rd Ed., 75-80.
3. Hitachi Copr, Hitachi LCD Controller/Driver LSI, 1993.
4. Geiger, B. W. and B. J. Sheu (1990) A high-speed CMOS amplifier with dynamic frequency compensation. *IEEE 1990 Custom Intergrated Circuits Conference*, 8.4.1-8.4.4, New York,.
5. Geiger, R. C., P. E. Allen and N. R. Strander (1990) *VLSI Design Technique for Analog and Digital Circuit*, McGraw-Hill, New York.
6. Khorramabadi, H. (1992) A CMOS line driver with 80dB linearity for ISDN applications. *IEEE Journal of Solid-State*, 27(4), 75-76.

收件：90.02.20 修正：90.05.04 接受：90.05.23

