

適用於 ISM 頻帶的低相位雜訊壓控振盪器

王木俊¹ 陳厚銘² 蔡政村² 呂良德² 廖御傑²

¹明新科技大學電子工程系
新竹縣新豐鄉新興路 1 號

²大葉大學電機工程學系
彰化縣大村鄉山腳路 112 號

摘要

此文提出一個低相位雜訊振盪電路，這電路完全實現於晶片上的電感電容壓控振盪器，我們是把台灣積體電路的 0.25 μm 的 CMOS（互補式金屬氧化物半導體）製程參數放入 Advanced Design System（ADS）模擬軟體中模擬，在本文中我們介紹了一些電路技術和改善相位雜訊的方法。這個振盪電路具有一個 10% 的調變頻率範圍，而相位雜訊是 -120.3dBc/Hz 在 1MHz 的附近。在此電路架構中包含了電感、可變電容和正回授差動對。

關鍵詞：低相位雜訊振盪電路，調變頻率範圍，相位雜訊，可變電容，正回授差動對

Low Phase-Noise CMOS Voltage-Controlled Oscillator for ISM Band

MU-CHUN WANG¹, HOU-MING CHEN², CHENG-TSUN TSAI², LIANG-TE LU² and YU-JIE LIAO²

¹*Department of Electronic Engineering, Ming Hsin University of Science & Technology
1 Hsin-Hsing Rd., HsinFeng, Hsinchu, Taiwan*

²*Department of Electrical Engineering, Da-Yeh University
112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan*

ABSTRACT

In this paper, we present a low phase-noise oscillator circuit. The circuit of an inductor-capacitor (LC) tank oscillator is made on the chip. The 0.25 μm complementary metal-oxide-semiconductor (CMOS) process parameter of Taiwan Semiconductor Manufacturing Company (TSMC) are entered into Advanced Design System (ADS) software to simulate an LC tank oscillator circuit. Some circuit technology and an improved method for phasing noise are introduced. The oscillator circuit has a 10% tuning range, the phase noise of which is -120.3 dBc/Hz at a 1MHz frequency offset in industry-science-medicine (ISM) band. The circuit architecture includes inductors, varactors, and a positive-feedback differential pair.

Key Words: low phase-noise oscillator circuit, tuning range, phase noise



一、簡介

隨著近年來無線通訊系統的快速發展，射頻積體電路的設計與製作已成為半導體工業與通訊電子業高度關切的技術。尤其在追求產品輕、薄、短小、高效率、低功率、低成本、高整合的今天，RF CMOS 的引入使得這些目標將一一的被證實。近年來更因深次微米技術快速的開發，且在 SOC (system on chip) 的觀念發酵下，RF CMOS 將實現這些要求上最具前瞻性且最適宜的技術，同時也滿足了業界在成本與整合上的要求。

在此文中，就是利用台灣積體電路 0.25 μm CMOS 製程參數來模擬與設計射頻前端系統的高頻振盪電路，此高頻電感電容振盪電路不僅可以被使用於本地振盪電路，也常被應用到頻率合成器，所以我們可以清楚的了解到壓控振盪電路的重要性。而我們提出的壓控振盪器是被應用在射頻前端電路架構中，主要扮演的是提供混波器一個本地振盪源，以讓混波器達升降頻的動作。

二、電路架構分析

壓控振盪器的設計方法大概分兩種：環狀振盪器 (ring oscillator) 和電感電容振盪器 (LC tank oscillator) [6-7]。環狀振盪器可調頻範圍大，但易受外界雜訊干擾以及本身會產生相位雜訊，所以不適用於無線通訊射頻積體電路中，一般射頻電壓控制振盪器是採用負電阻電感電容振盪器架構。

在此文中的振盪電路是採用負電阻電感電容結構，並且利用主動元件來當接面電容 (junction capacitance)，是利用 MOS 電晶體逆向偏壓改變不同的電容值，產生不一樣的共振頻率。而振盪器的工作頻率為，除此之外在其輸出端也要考慮阻抗匹配的問題，避免功率傳遞的損耗。

圖 1 是電感電容振盪器的基本架構，在這個共振電路中的電感、電容元件，具有寄生電阻，所以此共振電路並不會無止盡的振盪，但是若不消除將會使振盪訊號消失，所以我們需要設計一個主動電路，提供一個負阻抗，來抵消共振電路中的寄生電阻，即利用主動電路來補償在每個振盪週期中，振盪電路寄生電阻所損耗的能量，以便達成穩定振盪。當主動電路的負電阻值大於負載電阻時，電路將會開始振盪，當主動電路的負阻抗值因飽和狀態漸減至與負載端的阻抗值大小相等，符號相反時，電路將穩定振盪。

關於負阻抗的設計，如圖 2 所示，我是利用一對差動對的正回授電路，由 X、Y 兩點看向主動電路的電阻值為

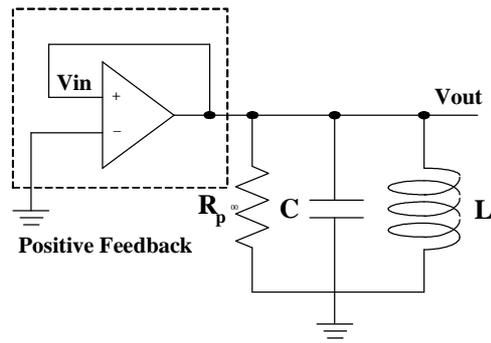


圖 1. 電感電容振盪器的基本架構

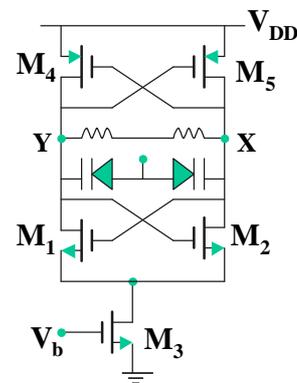


圖 2. 負電阻的振盪電路圖

$R_m = -2/g_m$ ，當這個負阻值等於振盪電路的寄生電阻值時，穩定振盪便發生了，此時振盪頻率為 $\omega = \frac{1}{\sqrt{LC}}$ 。為了控制振盪頻率，在振盪電路中的電容會採用可調變的電容，如圖 3 就是利用逆向偏壓來控制閘極和基板間的接面電容，以調變振盪頻率，不同的電壓值，使半導體表面可能處於聚集、空乏和反轉狀態，而將有不同的電容值。電容表示式由 (1) - (3) 呈現。

閘極和氧化層的接面電容值：

$$C_O = \left[\frac{\epsilon_0 + \epsilon_{SiO_2}}{t_{ox}} \right] A \quad (1)$$

表面空乏區內的空乏電容值：

$$C_{dep} = \left[\frac{\epsilon_0 + \epsilon_{Si}}{d} \right] A \quad (2)$$

閘極和基底間的總電容：



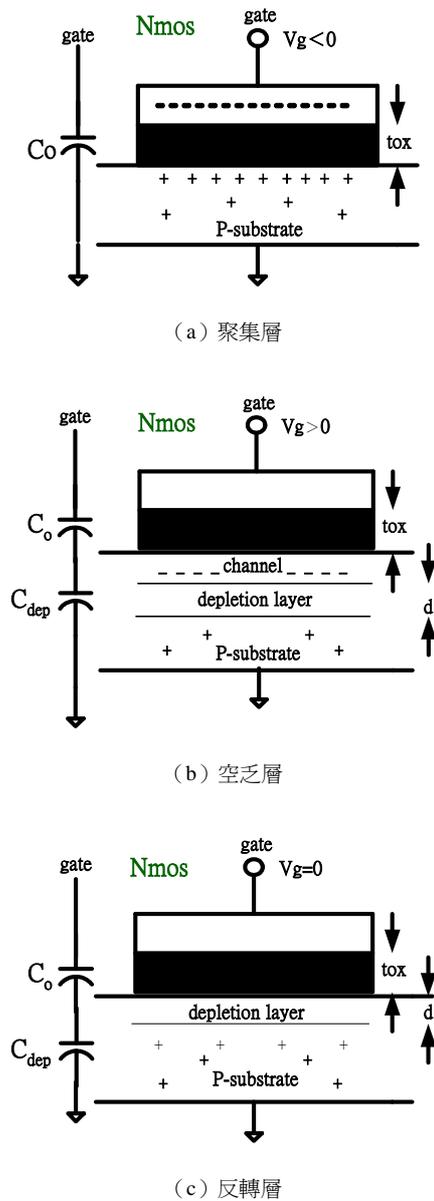


圖 3. 閘極與基板間的電容

$$C_{gb} = \left[\frac{C_o C_{dep}}{C_o + C_{dep}} \right] \quad (3)$$

三、相位雜訊

和一般類比電路設計相同的，射頻振盪器非常容易受到雜訊的影響 [1-3]，而其雜訊是來自振盪器本身元件的雜訊或電路外部的雜訊干擾，這些雜訊將影響到振盪器的輸出頻率及振幅，由於振盪器輸出振幅很大，比較起來，振幅擾動值的影響並不明顯，但頻率的擾動卻是我們相當在意的。

實際上在振盪電路中，最主要的雜訊源是來自主動元

件，而主動元件的雜訊源分別是內部電阻的熱雜訊和在氧化層與矽介面不連續鍵結所產生的閃爍雜訊，以下我們將探討這兩種雜訊源和如何減低此雜訊源。

熱雜訊：MOS 電晶體顯示了熱雜訊現象，最重要的來源是來自於通道中所產生的雜訊，當 MOS 元件運作於飽和區時，可以用一個連接汲極與源極的電流源來建立雜訊模型，如圖 4 所示，其頻譜密度為 (4) 式。而 MOS 的電阻也會造成熱雜訊，閘極、源極和汲極材料將展現一有效電阻，故會產生雜訊，如圖 5 所示。對一個相當寬的電晶體來說，源極和汲極電阻可被忽略不計，但閘極分散電阻變的非常重要。

汲極與源極間的頻譜密度為：

$$\overline{I_n^2} = 4kT\gamma g_{ds} \quad (4)$$

再來，我們探討如何減少通道的熱電阻和閘極電阻，因為元件的轉導值控制了通道熱雜訊，所以可藉著調整元件的寬度來降低此雜訊。而關於 MOS 內部的雜訊電阻，我們可以藉著增加接觸點或元件的摺疊來降低閘極電阻雜訊，如圖 6、圖 7 所示。

閃爍雜訊：矽晶體和閘極氧化層介面，有許多不連接 (dangline) 之鍵結出現，產生了一個多餘的能階態，如圖 8，這是因為電荷載子於介面移動時，某些載子將被隨機捕

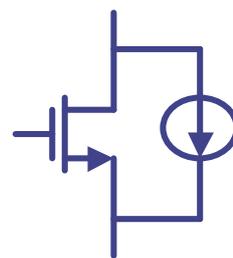


圖 4. MOS 熱雜訊的通道模型

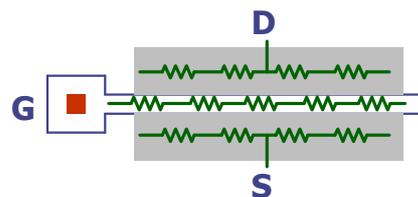


圖 5. MOS 內部電阻圖



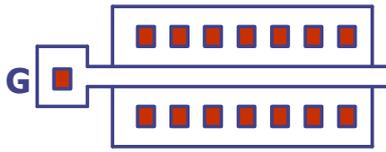


圖 6. 增加元件的接觸點

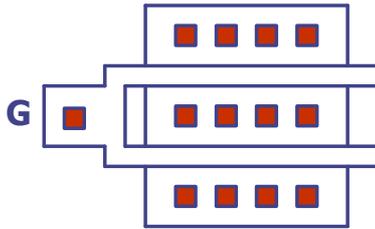


圖 7. 元件摺疊來降低閘極電阻

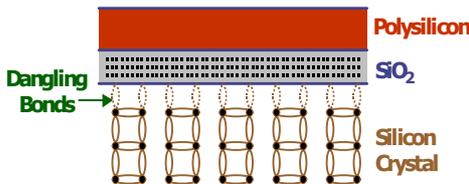


圖 8. 氧化層-矽接面的不連續鍵結

捉然後以此能階釋放，使得汲極電流產生閃爍雜訊 (flicker noise)。另一方面，閃爍雜訊得精確值和氧化層-矽界面之清潔度有關，我們能以一個和閘極串聯之電壓源來建立閃爍雜訊的模型，其值如 (5) 式。

閃爍雜訊的表示式：

$$\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} \quad (5)$$

由 (5) 式中，我們不難發現，閃爍雜訊的頻譜密度和頻率成反比，指的是不連接鍵結相關的補捉-釋放現象將在低頻時更常發生，所以閃爍雜訊也稱為 1/f 雜訊。然而，我們若降低此雜訊的發生，必須增加元件的 WL，但是元件面積將增加了。

在圖 9 顯示出，閃爍雜訊的值比熱雜訊來得大，所以我們在做電路設計後，我們一般會考慮低頻部分的閃爍雜訊，而看的頻率範圍，一般是 1kHz~1MHz。

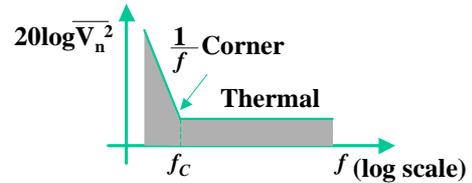


圖 9. 閃爍雜訊和熱雜訊

四、模擬結果

圖 10 為壓控振盪電路在 ADS 的模擬電路圖，我們載入 0.25μm 製程參數來模擬，在這電路中，我們使用了對稱電感、電容、變容二極體。圖 11 (a) 與 (b) 分別顯示了振盪電路在頻率 2.375GHz 時的實部大於一、虛部等於零，符合了振盪電路的振盪條件，表示此振盪電路在 2.375GHz 時起振了。圖 12 (a) 與 (b) 顯示振盪電路在頻率 2.152GHz 時也符合了振盪條件。而圖 13 中我們得到 -120.3dBc/Hz 的低相位雜訊，這是一個很好的效能。

五、結論

壓控振盪器在現代通訊系統中是一個相當重要的部分，而本文所設計的壓控振盪器是採低相位雜訊的負電阻電感可調式電容結構，操作在 2.5V，然後利用 ADS 軟體載入 TSMC 0.25μm CMOS 製程參數來模擬，最後的共振頻率範圍為 2.151GHz~2.385GHz，而電路在 1MHz 附近的相位雜訊為 -120.3dBc/Hz。模擬所得的結果與所引述的參考文獻相比較，如表 1 所列，除毫不遜色外，其相位雜訊亦是相當低。

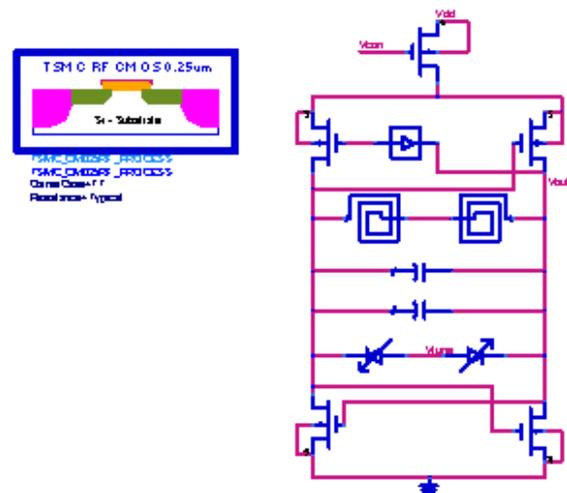


圖 10. 此為電感電容的模擬電路圖



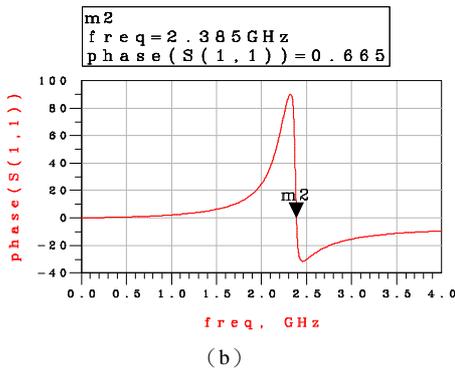
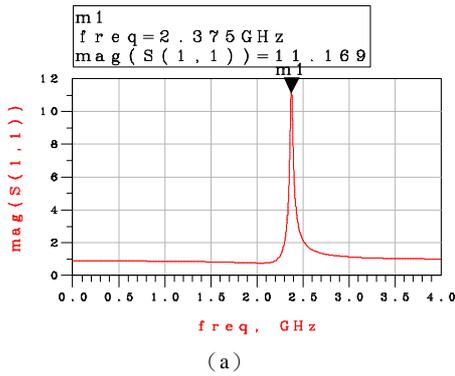


圖 11. (a) 電路阻抗之大小，(b) 相位和頻率之關係圖

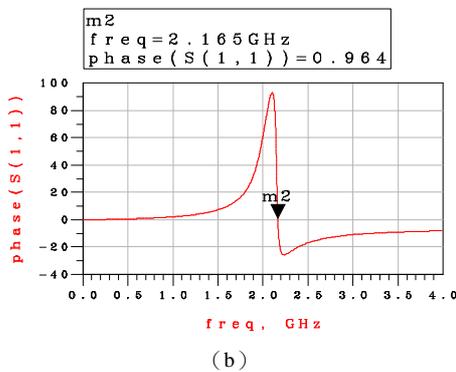
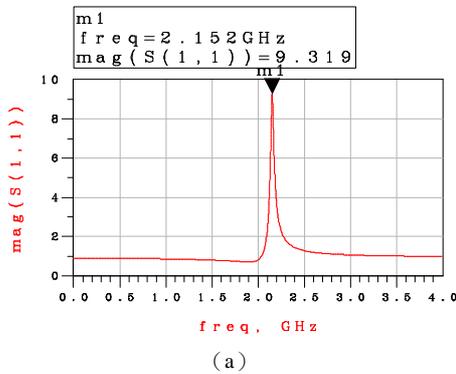


圖 12. (a) 電路阻抗之大小，(b) 相位和頻率之關係圖（最小逆向偏壓）

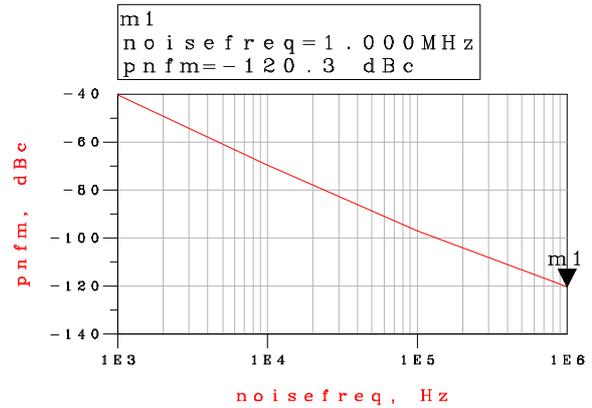


圖 13. 振盪電路的雜訊

表 1. 壓控振盪器的性能比較

	Center Frequency	Phase noise	Tuning Range
Ref [2]	1.8GHz	-100dBc/Hz	6.67%
Ref [3]	2GHz	-126dBc/Hz	11%
Ref [4]	2.7GHz	-110dBc/Hz	4%
Ref [5]	2.6GHz	-90.5dBc/Hz	6%
Ref [8]	5GHz	-94dBc/Hz	18%
This paper	2.27GHz	-120.3dBc/Hz	10%

參考文獻

- Borremans, M., B. De Muer and M. Steyaert (2000) Phase noise up-conversion reduction for integrated CMOS VCOs. *Electronics Letters*, 36(10), 857-858.
- Craninckx, J. and M. Steyaert (1996) A 1.8-GHz low-phase-noise spiral-LC CMOS VCO. *Symposium of VLSI Circuit, Digest of Technical Papers*, 30-31. Washington, DC.
- De Muer, B., M. Borremans, M. Steyaert and G. Li Puma (2000) A 2-GHz low-phase-noise integrated LC-VCO set with flicker noise upconversion minimization. *IEEE Journal of Solid-State Circuits*, 35(7), 1034-1038.
- Kinget, P. (1998) A fully integrated 2.7V 0.35μm CMOS VCO for 5GHz wireless applications. *ISSCC Solid-State Circuits Conference, Digest of Technical Papers*, 226-227. San Francisco, CA.
- Lam, C. and B. Razavi (1999) A 2.6GHz/5.2GHz CMOS voltage-controlled oscillator. *ISSCC Solid-State Circuits Conference, Digest of Technical Papers*, 402-403. San Francisco, CA.
- Razavi, B. (1998) *RF Micro-Electronics*, 206-244.



Prentice-Hall, Upper Saddle River, NJ.

7. Razavi, B. (2001) *Design of Analog CMOS Integrated Circuits*, 201-239. McGraw-Hill, New York, NY.
8. Samori, C., S. Levantino and V. Bocuzzi (2001) A -94 dBc/Hz@100 kHz, fully-integrated, 5-GHz, CMOS VCO

with 18% tuning range for Bluetooth applications. *IEEE Conference of Custom Integrated Circuits*, 201-204. San Diego, CA.

收件：92.02.20 修正：92.04.10 接受：92.04.18

