

一個振盪於 5.2GHz 的低相位雜訊壓控振盪器

洪進華 陳勛祥 許崇宜 莊煒琦

大葉大學電機工程學系
彰化縣大村鄉山腳路 112 號

摘要

本研究乃是使用台積電 TSMC 0.25 μm CMOS 製程來實現一個具有四相位正交輸出應用於無線通信網路 802.11a 的壓控振盪器，該電路的四個輸出相位分別為 90°、180°、270°、360°。本電路於模擬時其相位雜訊 (phase noise) 在 1MHz 處可達到 -122.74dBc/Hz，振盪頻率為 4.441GHz ~ 5.323GHz，調頻範圍 (tuning range) 為 0.882GHz 約為 18%，輸出功率為 -7.67dBm，消耗功率為 15.8mw。

關鍵詞：壓控振盪器，低雜訊，相位雜訊，四相位

A 5.2GHz Low-Phase-Noise Voltage-Controlled Oscillator (VCO)

JIN-HUA HONG, HSUN-HSIANG CHEN, CHUNG-I G. HSU and WEI-CHI TZUANG

*Department of Electrical Engineering, Da-Yeh University
112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan*

ABSTRACT

In this paper, TSMC 0.25 μm CMOS technology is used to implement a low-phase-noise quadrature VCO, which is suitable for an 802.11a wireless local area network (WLAN). The four phases of VCO outputs are 90°, 180°, 270° and 360°, respectively. As the simulation result shows, the tuning frequency is 4.441GHz~5.323GHz, the phase noise of the design is -122.741dBc/Hz offset 1 MHz, and the tuning range is 0.882GHz, which is about 18%. The output power is -7.67dBm, and the power consumption is 15.8mw.

Key Words: VCO, low noise, phase noise, quadrature



一、簡介

振盪器是許多電子系統中的重要組成元件。從數位電路的時脈產生到行動通訊訊號的調變和解調都須要振盪器，尤其是有些電路必須使用可調整頻率的訊號，VCO (voltage controlled oscillator) 更是一個不可或缺的元件，VCO 為通訊系統射前端之關鍵組件，經常作為收發機可調控頻道和本地振盪源或發射機之調變元件。因此近年來研究 VCO 為主題的相關著作紛紛出爐，VCO 已成為近年來熱門設計電路之一。

這幾年來具有高速傳輸的無線區域網路 (wireless local area network) 蓬勃發展，比較著名的有 Bluetooth 系統和 802.11a 系統。

以 802.11a 為例，802.11a 乃是利用 U-NII (unlicensed national information infrastructure) 頻段，該頻段範圍為 5.15~5.35GHz 或 5.725~5.825GHz，其調變技術乃是採用 BPSK、QPSK、16QAM 或 64QAM 的技術，傳輸速度可達 54Mb/s，由於 CMOS 製程技術的成熟加上 SOC 的需求，很多新的傳輸架構考慮採用直接降頻技術來縮小晶片面積，直接降頻架構可免於使用到體積龐大的 SAW filter，因此不但能縮小晶片面積，更可降低晶片的功率消耗 (power dissipation) 和提升傳輸速度，因此直接降頻且具有準確正交輸出的振盪器乃逐漸成為新的傳輸架構，圖 1 為 802.11a 接收機系統架構圖。然而直接降頻接收機設計的一個難題是如何產生特性良好的四相位本地振盪訊號給 mixer，因此本研究的動機乃是想設計出特性優良的四相位本地振盪器。

二、振盪器振盪原理分析

圖 2 為一簡單振盪器架構，基本上是由一個放大器和 LC Tank 共振腔 (resonator) 所組成，其振盪原理乃是利用被動的 LC Tank 產生諧振，而主動電路的部份是採用一個正回授的放大器來彌補被動電路能量的損耗。

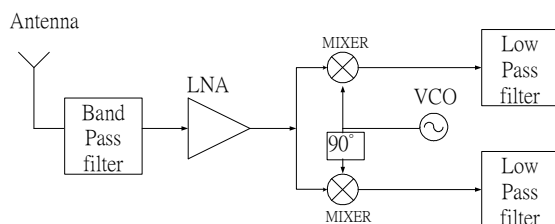


圖 1. 802.11a 接收機系統架構圖

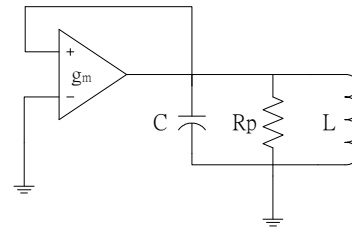


圖 2. 簡單振盪器架構

如圖 3 所示，其實我們可以將主動電路視為負阻抗電路，只要在某個頻率下負阻抗等於被動電路的阻抗值 (即 $R1 = -R2$)，那麼電路就有可能發生振盪。

三、設計與模擬結果

本研究主要在設計一個具有低相位雜訊且符合 802.11a 標準的四相位輸出壓控振盪器。一般而言，相位雜訊 (phase noise) 為評定振盪器優劣最重要因素之一，而改善 Phase noise 的兩個路徑為：(1) 將 LC Tank 的 Q 值提高，(2) 提高 swing voltage [3]。但實際上 tail current、電路操作在 current limit regime 或是 voltage limit regime、swing voltage、電容值、電感值這些變數都會影響 Phase noise 的大小。

一般的 VCO 電路，在電感器的下方會有一個 Tail current transistor，這個 Tail current transistor 的作用在於控制 VCO 的工作電流，且可以由外加的電壓來控制這一顆電晶體工作在何種區域 (飽合區或者是三極體區)，但是這顆電晶體卻是 Flicker noise 最主要的來源，而 Phase noise 裡的 $\frac{1}{f^3}$ noise 大部份又由 Flicker noise 而來，因此本電路將這個 Tail current transistor 拿掉，使電感器的下方直接接地，所以這樣一來便能大大的降低 Phase noise [1]。

通常 VCO 會採用 Differential CMOS 架構，因為此架構擁有較佳的 Phase noise 表現，但是因為 Differential CMOS 架構振盪頻率無法提高且因為有元件數多、雜散電容大、

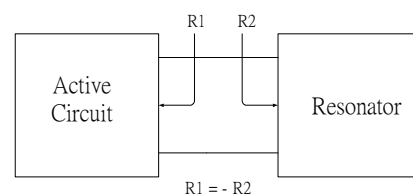


圖 3. 主動電路和共振腔



tuning range 小，消耗功率大、面積大等缺點，導致原本 low phase noise 的良好表現，變得普普通通，而且還有那麼多的缺點。

因此本電路爲了降低 phase noise、節省晶片面積、降低消耗功率等因素，選擇了只使用 PMOS 來當 cross coupled transistor，因爲 PMOS 擁有先天比 NMOS 的 flicker noise 還小的優勢 [1]，且消耗功率也可降低。

由於製程的偏差，常使得我們設計的 VCO 其 Tuning range 下降，爲了避免這項問題我們的 varactor 選用了 accumulation mode 的 varactor 因爲 accumulation mode 的 varactor 擁有較大的可調頻率範圍。[2]

本 VCO 電路乃是由下列幾個部份組成，(1) 主動電路部份；(2) 被動電路部份；(3) Coupled transistor，其功用分述如下。

(一) 主動電路部份—由 PMOS Cross Couple 組合而成

主動電路部分如圖 4 所示，其最主要的功用乃是提供負阻抗(也就是 power)來和 LC tank 的阻抗抵銷，由於 LC tank 並非理想，其 Q 值並非無限大，LC tank 也會消耗功率，因此主動電路乃提供一個穩定的能量以使得振盪器能維持穩定的振盪。主動電路的負阻抗爲 $-2/gm$ [4]，所以我們只要調整主動電路之 gm 值使主動電路的負阻抗和被動電路之阻抗相等，此電路便能產生振盪。

主動電路的負阻抗爲 $-2/gm$ [4] 證明如下，公式推導乃是根據圖 5 所示的小訊號模型，其中 V_x 爲測試電壓源； I_x 爲假設電流方向。

$$V_{gs2} = -(I_x + g_{m1} V_{gs1}) r_{o1} \quad (1)$$

$$V_{gs1} = (I_x - g_{m2} V_{gs2}) r_{o2} \quad (2)$$

$$= I_x r_{o2} - g_{m2} V_{gs2} r_{o2}$$

$$= I_x r_{o2} + g_{m2} r_{o2} (I_x + g_{m1} V_{gs1}) r_{o1}$$

$$= I_x r_{o2} + g_{m2} r_{o2} I_x r_{o1} + V_{gs1} g_{m2} r_{o2} g_{m1} r_{o1}$$

$$V_{gs1} (1 - g_{m2} r_{o2} g_{m1} r_{o1}) = (1 + g_{m2} r_{o2}) I_x r_{o2} \quad (3)$$

$$V_{gs1} = \frac{(1 + g_{m2} r_{o1}) I_x r_{o2}}{1 - g_{m2} r_{o2} g_{m1} r_{o1}} \quad (4)$$

$$R_X = \frac{V_X}{I_X} = \frac{V_{gs1} - V_{gs2}}{I_X}$$

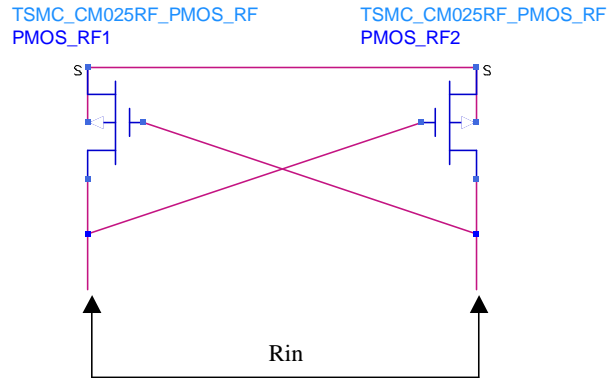


圖 4. 由這裡看進去之主動電路阻抗爲 $-2/gm$

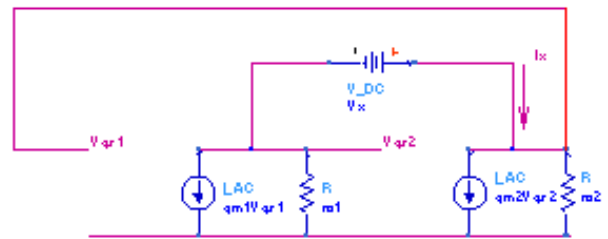


圖 5. 主動電路之小訊號模型

$$= \frac{(1 + g_{m2} r_{o1}) r_{o2} I_x + I_x r_{o1} + g_{m1} r_{o1} \frac{(1 + g_{m2} r_{o1}) I_x r_{o2}}{1 - g_{m2} r_{o2} g_{m1} r_{o1}}}{I_x}$$

$$= \frac{(1 + g_{m2} r_{o1}) r_{o2}}{1 - g_{m2} r_{o2} g_{m1} r_{o1}} (1 + g_{m1} r_{o1}) + r_{o1}$$

我們假設兩電晶體爲 identical $\Rightarrow g_{m1} = g_{m2}$; $r_{o1} = r_{o2}$

$$R_X = \frac{(1 + g_{m1} r_{o1})}{(1 - g_{m1} r_{o1})} r_{o2} + r_{o1} = - \frac{(1 + \frac{1}{g_{m1} r_{o1}})}{(1 - \frac{1}{g_{m1} r_{o1}})} r_{o2} + r_{o1} \quad (5)$$

$$= -(1 + \frac{1}{g_{m1} r_{o1}}) (1 + \frac{1}{g_{m1} r_{o1}}) r_{o2} + r_{o1}$$

$$\cong -(1 + \frac{2}{g_{m1} r_{o1}}) r_{o2} + r_{o1}$$

$$= - \frac{2}{g_m} \quad (6)$$

得證。



(二) 被動電路部份—由 LC tank 所組成

電容部份由一個可變電容串聯一個電容組合而成(如圖 6)。可變電容再串上一個電容目的在於降低 K_{vco} [5]，若 K_{vco} 很大的話當我們 tuning voltage 變動一點點，頻率的變化就會很大。

可變電容是由選擇 Accumulation mode MOS varactor，使用逆向偏壓以使其電容量隨著 tuning voltage 改變。

(三) coupled transistor—由 pmos 組成

功用：使兩個電晶體其輸出彼此保持 90 度 (quadrature)。如圖 7 圈起的部份。

圖 8 顯示出共振腔的 S11 相位及大小圖，當共振腔發生共振時其電路是由電容性切換到電感性，且其大小圖如果顯示越陡峭，則表示這個共振腔的 Q 值越高。由於我們的可變電容操作在逆向偏壓，逆向偏壓越大電容量越小，所以振盪頻率越高，圖 9 顯示出控制電壓和振盪頻率圖。

Pushing 與 Pulling 的測試在現今的電路架構裡扮演著重要的角色，以行動通訊而言，電力為行動電話重要資源之一，為了節省不必要的功率消耗，行動電話在傳送訊號時會把接收系統的電源關掉，且當在接收訊號時會把發射系統的

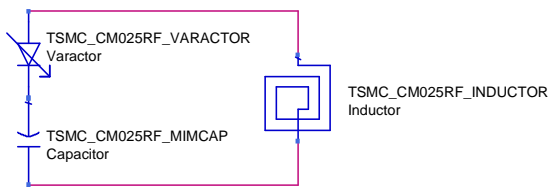


圖 6. 被動電路

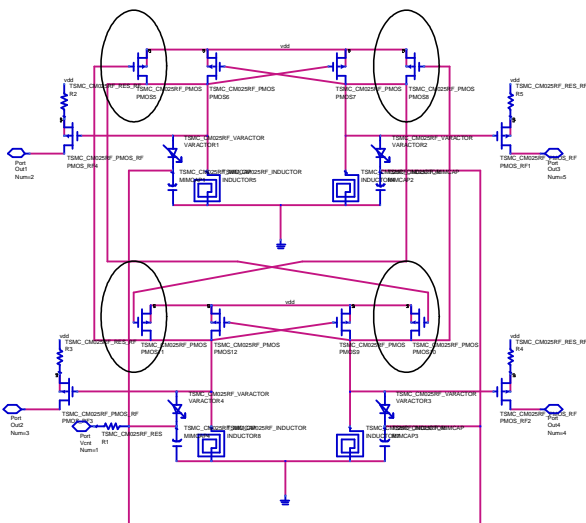


圖 7. 圈起的電晶體為 coupled transistor

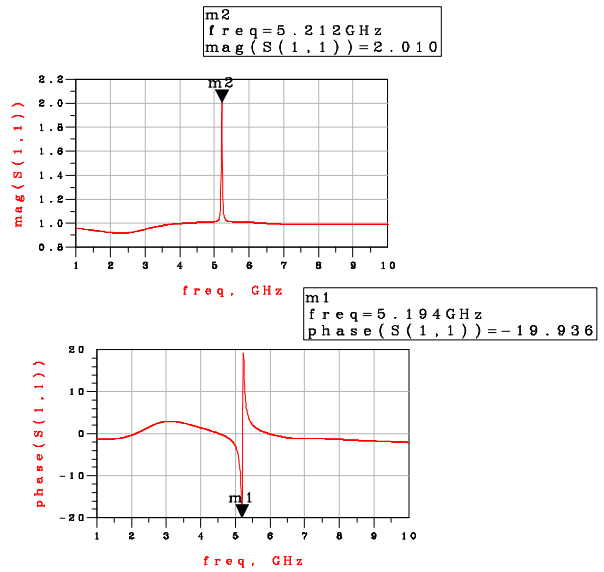


圖 8. 相位及大小圖

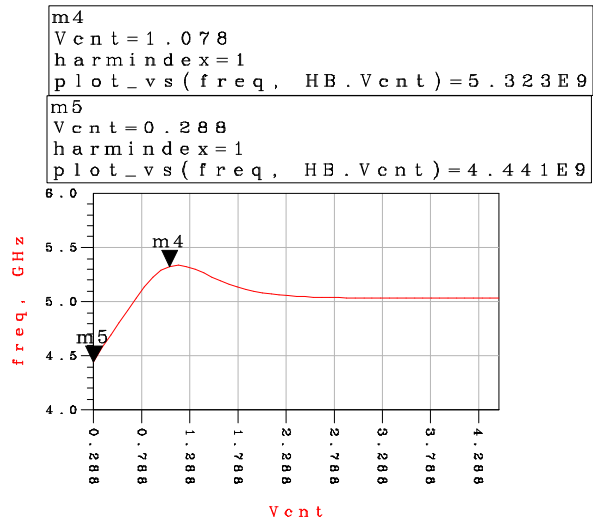


圖 9. 控制電壓與振盪頻率關係圖

電源關掉，這樣電源的切換頻率通常高達數 kHz，在此一情況之下無論對接收系統或是發射系統而言，電源電壓和下一級的輸入阻抗是非常不穩定的，因此 VCO 電路必須在這兩項不穩定因素下仍然能振盪出穩定的頻率才行，因此 Pushing 測試和 Pulling 測試對 VCO 而言格外顯得重要；Pushing 測試我們測試範圍 vdd 為 2.3v~2.8v；Pulling 測試我們測試範圍為下一級電路輸入阻抗 25Ω~100Ω。

圖 10、11 為本電路的 Pulling 及 Pushing 模擬結果，由這兩個圖可看出來在電源電壓和下一級的輸入阻抗非常不



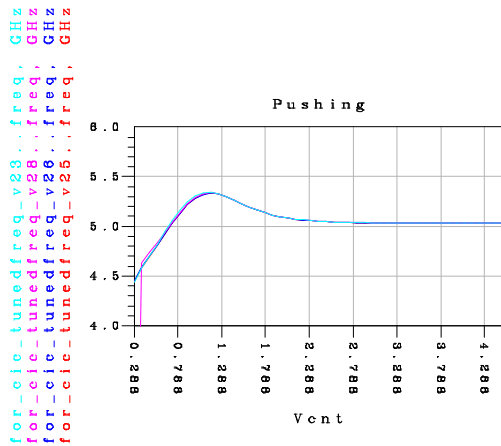


圖 10. Pushing 測試

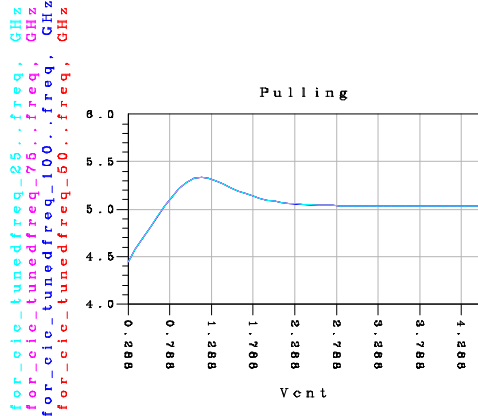


圖 11. Pulling 測試

穩定的情形下，振盪頻率並沒有太大的影響，所以本電路具有對抗電源切換的免疫力。Vcnt 為控制振盪頻率的控制電壓 Vcnt=3V 時，quadrature output VCO 輸出圖如圖 12 所示，在 offset carrier 1MHz 處 phase noise 可達 -122.471 dBc/Hz。圖 13 說明 1MHz 的頻率下，相位雜訊為 -122.7 dBc/Hz。圖 14 則是本電路的佈局圖。至於本電路的規格則詳列於表 1。

四、結論

本研究乃是使用 TSMC 0.25μm CMOS 製程來實現一個具有四相位正交輸出應用於無線通信網路 802.11a 的壓控振盪器，VCO 為通訊系統前端最關鍵的組件之一，而 Phase noise 則為評定 VCO Performance 最重的因素，Phase noise 的好壞悠關通訊品質的優劣，因此我們設計的主要考量乃是

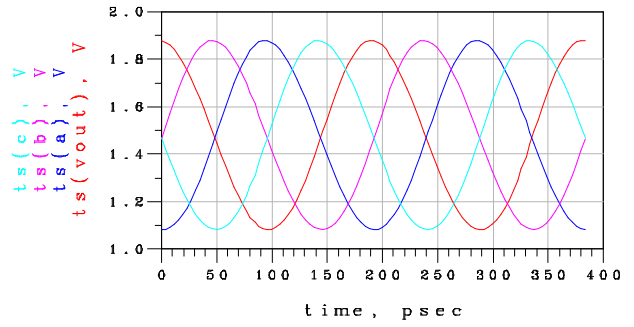


圖 12. 振盪器的四個輸出波形

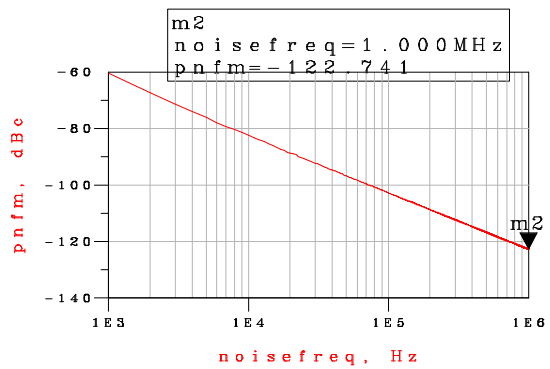


圖 13. 壓控振盪器的相位雜訊表示圖

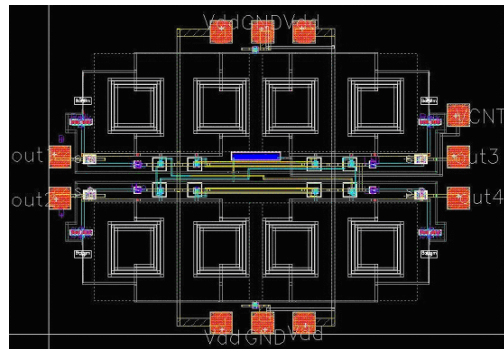


圖 14. Layout 圖

表 1. 電路規格

規格	結果
電源供應電壓	2.5v
Tuning range	5.133GHz~5.357GHz
消耗功率	15.8mW
Kvco	112MHz/voltage
Output power(at Vcnt=3V)	-7.67dBm
Phase noise	-122.741dBc/Hz@1MHz
輸出阻抗	50Ω
Swing voltage	0.9V
Tuning voltage	2.5V~5.5V



降低 Phase noise，由於 $\frac{1}{f^3}$ noise 大部份由 Flicker noise 而來，而 Flicker noise 大部份又是由 Tail current transistor 產生，所以在設計上我們拿掉了 Tail current transistor，且拿掉之後輸出訊號的振幅也提高了，這也使得 Phase noise 又可往下降，因此 Phase noise 可達 -122.74dBc/Hz。

Cross coupled transistor 採用 Pmos transistor 目地乃是 Pmos 的 noise 相對的比 Nmos 來的小，可變電容選用 accumulation mode varactor，這樣一來便可大大的提高電路的 tuning range。

由於製程技術的進步，on chip 的電感器其 Q 值也逐漸的提升，電感器的 Q 值為最直接影響 Phase noise 的關鍵因素，目前很多學者致力於提升電感器的 Q 值，以期能將 Phase noise 再降低。

參考文獻

1. 朱元凱 (民 91)，應用於 802.11a WLAN 之 5GHz U-NII 頻帶降頻器 CMOS RF IC，國立成功大學電機工程學系電機工程研究所碩士論文。
2. Andreani, P. and S. Mattisson (2002) On the use of MOS varactors in RF VCO's. *IEEE Journal of Solid-State Circuits*, 35(6), 1737-1747.
3. Lee, T. H. (1998) *The Design of CMOS Radio-Frequency Integrated Circuits*, 532. Cambridge University Press, New York, NY.
4. Razavi, B. (1998) *RF Microelectronics*, 208, 227-228. McGraw-Hill, New York, NY.
5. Razavi, B. (2000) *Design of Analog CMOS Integrated Circuits*, 510- 511. McGraw-Hill, New York, NY.

收件：92.02.20 修正：92.04.17 接受：92.04.25

