

一個達到 1.5dB-NF 的高增益全積體化低雜訊放大器設計

陳勳祥¹ 林 愷²

¹國立彰化師範大學電子工程系

彰化市進德路 1 號

²大葉大學電機工程學系

彰化縣大村鄉山腳路 112 號

摘 要

本論文描述出一個適用於 RF (radio frequency, 射頻) 無線應用的 CMOS LNA (互補式金屬氧化物半導體低雜訊放大器), 使用 0.25 μm 製程來設計一個工作於 2.5V 並且適用於 2.38GHz 的頻段。本論文主要模擬的重點在於此 LNA 的輸出阻抗匹配、隔絕度、功率增益、線性度以及功率消耗, 經由調整 LNA 電路各個組成, 來設計出 LNA 電路的最佳效能。由模擬結果顯示出此 LNA 電路具有功率增益 20dB、雜訊指數 1.5dB、三階截止點 (IP3) 為 -18dB、功率消耗為 18.5mW 以及優良的輸出輸入阻抗匹配。

關鍵詞: 互補式金屬氧化物半導體低雜訊放大器, 無線, 全積體化放大器, 低雜訊, 雜訊指數, 1-dB 壓縮點, 三階截止點

A Design for a Fully Integrated High-Gain LNA with 1.5dB-NF

HSUN-HSIANG CHEN¹ and KAI LIN²

¹*Department of Electronic Engineering, National Changhua University of Education*

1 Jin De Rd., Changhua, Taiwan

²*Department of Electrical Engineering, Da-Yeh University*

112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan

ABSTRACT

A CMOS (complementary metal oxide semiconductor) low noise amplifier (LNA) suitable for radio frequency (RF) wireless applications is investigated in this study. A fully integrated 2.38-GHz CMOS LNA is implemented by using 0.25 μm CMOS technology with a 2.5V power supply. The main simulation points are input/output impedance matching, isolation, power gain, linearity and power consumption. Through adjusting the component values of the LNA, the optimization can be determined. Simulation results show that the LNA is characterized by a power gain of 20dB, a noise figure of 1.5dB, an IP3 of -18dBm, a power dissipation of 18.5mW, and well-matched input/output.

Key Words: CMOS LNA, RF, wireless, fully integrated amplifier, low noise, noise figure, 1-dB compression, IP3



一、相關研究發展現況

GaAs MESFET LNAs 目前經常被使用，因為在功率增益高達 20dB 的同時還能夠提供非常低至大約 1dB 的雜訊指數 [1]。但由於 CMOS 電路技術的成熟以及低廉的價格，近來對於射頻互補式金屬氧化物半導體 (RF CMOS) 電路上的主動和被動元件有越來越多成功的研究，也已經可以在無線通訊系統上實現 SOC (system on chip) 化。如果 CMOS 製程技術能克服雜訊多、功率耗損較大以及截止頻率較低等缺點，在數 GHz 的 RF 頻段範圍中，CMOS LNAs 未來將有可能逐漸取代 GaAs MESFET LNAs。

由於 LNA 通常置於整個接收端電路的第一級，也是整個接收器頻率最高的地方，所以對於接收端電路有非常大的影響。LNA 主要的功能為提供足夠的功率增益以克服下一級的雜訊，並且對其本身也盡可能降低雜訊以及適用於較大的輸入訊號以避免失真 [6]。

在設計 LNA 電路時，主要應考慮到降低雜訊、提高增益、輸出輸入阻抗匹配、降低功率消耗、提高線性度 [8]，其他如電路佈局、電路整合度等，也是必須考量進去的 [2]。如圖 1。

二、研究動機

經由時代的演化以及科技的進步，無線通訊系統 (wireless communication system) 已經漸漸成為目前不論是人對人或者是機器對機器溝通的主流，無線通訊的方便性以及無阻礙性，已不是有線系統可比擬的。

在天空中，存在的訊號 (signal) 是混散且雜亂的，經由天線 (antenna) 接收進來的訊號，包含所需要的訊號以及所不需要的，當中不需要的訊號可能經由任何東西產生，

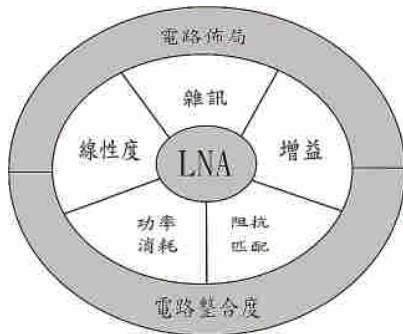


圖 1. 設計 LNA 的重要考量

包括附近的電器、交通工具、發射台、高壓電塔、甚至是別的系統的信號，只要是與系統無關的信號，皆有可能經由天線進入到系統的內部，並且對電路產生不良的影響。所以舉凡不需要的訊號，皆可以稱之為雜訊 (noise)，對電路影響，皆可稱為是一種干擾 (interference)。如圖 2。

所以本論文在接收端電路的最前級，天線之後，設計了 LNA，可以在天空中各式各樣紛亂的訊號中，正確的解析出系統的信號，並且將之放大並交給後級處理。

三、單端低雜訊放大器架構簡介

如圖 3 為一個使用 Cascode (串疊) 型輸入的 LNA 結構，使用 Cascode 輸入的特性有 [1]：

1. 因為 Cascode 結構可以消去米勒效應 (Miller's effect)，所以較共源 (common source) 放大器能提供更高的增益。
2. 能夠比共源放大器提供更大的隔絕度 (isolation)。
3. 輸出端的電壓擺幅較小，輸出容易被截止。

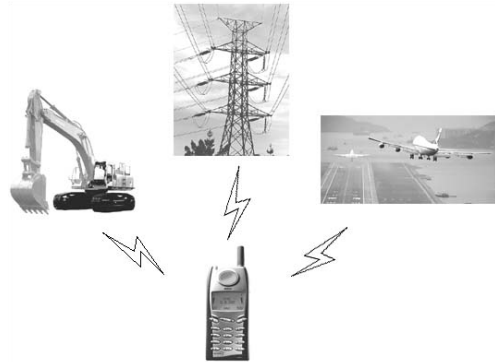


圖 2. 各機具皆有可能對系統產生影響

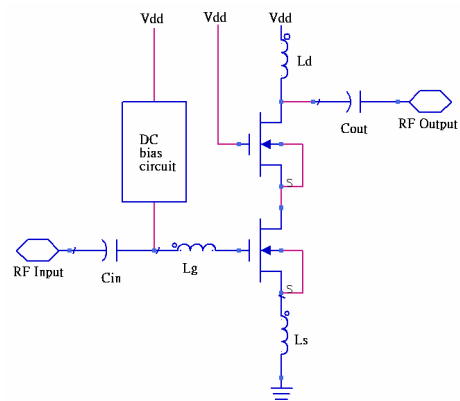


圖 3. 單端 LNA 結構



4. 因為雜訊指數 (noise figure) 受第一級元件的影響大於第二級的元件，所以一般來說 Cascode 的雜訊指數較一般 Cascade 的結構差。
5. 因為增益加大的結果，會使線性度下降，所以線性度較一般的單級共源級放大器差。

圖 3 L_s 及 L_g 用來達到輸入阻抗匹配，而調整 L_d 以及 C_{out} 可以實現輸出阻抗匹配，一般來說輸出阻抗匹配要實現現在 50Ω 上。另外 C_{in} 可以用來阻隔輸入端的直流訊號。因為一般 S_{11} 的需求大約只有 -10dB 左右，所以不是那麼完美的匹配可以增加一些自由度來調整 LNA 的其他效能，尤其是特別是電路的功率增益 (power gain)。

如圖 4 為輸入端的部分電路，可以簡單的計算輸入阻抗匹配。

$$Z_{in} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \left(\frac{g_{m1}}{C_{gs}}\right)L_s = \omega_T L_s \quad (1)$$

其中

$$s = j\omega_0 = j\sqrt{\frac{1}{(L_s + L_g)C_{gs}}} \quad (2)$$

調整 L_s 使得輸入阻抗 Z_{in} 實部為 50Ω ，再調整 L_g 使得 Z_{in} 虛部為 0，如此即可調配出 L_s 、 L_g 來符合電路的輸入阻抗，其中需要注意一點，由於一開始便忽略了 C_{gd} 的計算，所以計算出的 L_s 以及 L_g 之後還必須帶入模擬軟體繼續做細部調整，另外模擬時也忽略了 L_g 以及 L_s 的串聯電阻等效

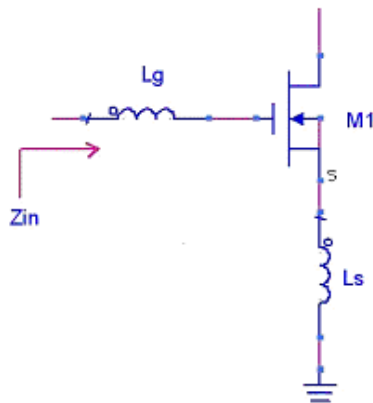


圖 4. 輸入端部分電路

應。由於放大器負載是使用 LC 並聯電路，當 LC 操作在 2.38GHz 下時，理想的 LC 電路應將呈現開路狀態，此時負載應該為最大，所以當然增益理應也最大。但是電路增益仍然受電感影響較深，增益因螺旋電感的 Q 值不高而深受影響，雖然電容也非理想電容，但電容 Q 值仍舊比電感高得多。所以在模擬時，藉由電感電容值的改變，調整出所需要的協振頻率，即是 LNA 的中心頻率 [2]。以下將介紹本 LNA 被動元件所使用的佈局 (layout) 結構。

(一) 電感結構

在此電路架構中，電感採用內建 (on-chip) 式的螺旋 (spiral) 電感，而非採用外接 (off-chip) 式。原因為節省面積，提高電路整合度以及儘量達到全積體化的效果，但是卻犧牲了 Q 值，在 CMOS 製程中，電感並非可良好控制的元件，實際 layout 時候，會將螺旋電感的中心拿掉，如圖 5。因為當電荷越接近核心時越密集，損失也越大，但是核心電路對電感值的貢獻度不大，中心去掉對於整體電感值並不會有太大的影響，並且還可以提高 Q 值。

(二) 電容結構

本論文使用 MIM (metal-insulator-metal) 電容，是屬於平行板電容 (plate capacitor) 的一種變形，如圖 6。

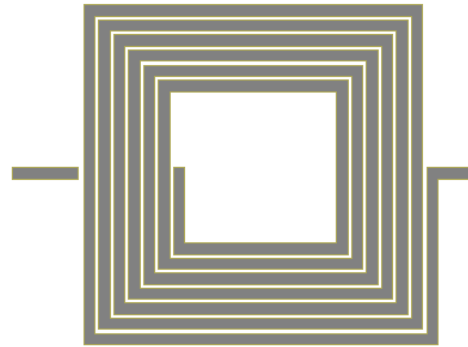


圖 5. 已移去中心的螺旋電感佈局

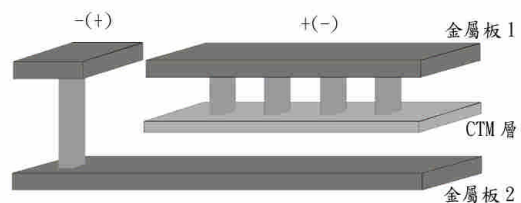


圖 6. MIM 電容的剖面圖



其好處為電容值較為固定而且結構簡單。相較於一般平行板電容，不同的地方在於上下平板之間又多了一層 CTM (capacitor top metal) 層，利用兩平板之間的距離縮短，以提高電容值，或縮小電容所佔面積。

(三) 電阻結構

利用一般的導電層來製作電阻，先來比較各種導電層特性 [5, 7]。

R_{\square} (sheet resistance 單位電阻值) :

Well > Diffusion > Poly > Metal

TC (temperature coefficient) :

Well > Poly > Diffusion

VC (voltage coefficient) :

Well > Diffusion > Poly

在設計的時候需要注意到，無法製作特定阻值的精密電阻，而且電阻值越小誤差值越大，這關係到使用面積和電阻誤差值的取捨。

四、設計流程

設計流程總共可分為以下幾個大項目：

1. 首先要制定電路的規格以及適用於何種系統，並且提供什麼樣的功能以及特性，例如本論文設計的 LNA，設定工作在藍芽 (blue-tooth) 系統，並且是一個超低雜訊以及超高增益的電路。
2. 有了設定目標之後，就要開始建立需要的架構，本論文選定 LNA 的基本結構為 cascode 單級放大器。再加上一些周邊的匹配電路以及偏壓電路來架構整的 LNA 電路。
3. 接著，便要對電路開始做模擬的工作。本文使用 ADS 來做高頻的模擬，並且加入台積電 (TSMC) 0.25 μm 的 RF 模型 (model)，以增加正確性。並且同時模擬了 S 參數、雜訊指數、線性度等 LNA 電路中重要的參數，再加上溫度變異、供應電壓源變異以及 Corner Model 的模擬，以觀看各種不同的變數對本論文所設計的 LNA 的影響。
4. 根據 TSMC 0.25 μm 的 layout 規則，來設計 LNA 的各個元件，並且盡量做到電路對稱。
5. 有了基本的佈局之後，便開始用 Cadence 實地 layout 每一個元件，之後再將之整合起來做佈局和繞線，當然也是要符合對稱的原則。另外也要注意直流電壓源的金屬線寬度以及一些設計規則 (design rule) 相關注意事項。

6. 將設計好的 layout 轉成 gds II 規格之後，再用 Dracula 來做 Design Rule Check (DRC)，以確定本文 LNA 的 layout 符合所規定的規則。
7. 除了 DRC，還必須加上天線規則 (antenna rule check)，以確保本文設計的 LNA 也符合天線效應。
8. DRC 之後，緊接著直接利用轉出的 gds II 檔，與自己的 sp 檔來做 Layout vs. Schematic (LVS)，這邊要注意的是，由於 LVS 並不能認出電感，所以在 sp 檔必須做出一些修正，將 sp 檔中的電感短路，如此才能正確的完成 LVS。
9. 之後再利用 Layout Parasitic Extraction (LPE) 的功能，將寄生在 layout 中的電容等寄生效應萃取出來，並且觀察寄生在什麼節點部位。
10. 將上一步 LPE 所萃取出來的寄生電容，加入到原本的電路架構之中，並且重新模擬，如果影響 LNA 電路效能太大，就必須修改 layout，務必將寄生效應影響降至最低。
11. 到此，已到達完成階段。

以下為設計流程的簡圖 (圖 7)。

五、單端低雜訊放大器模擬結果

本文使用 TSMC 0.25 μm 製程，電源供應在 2.5V，工作在 2.38GHz 的全積體化單端 LNA 電路。

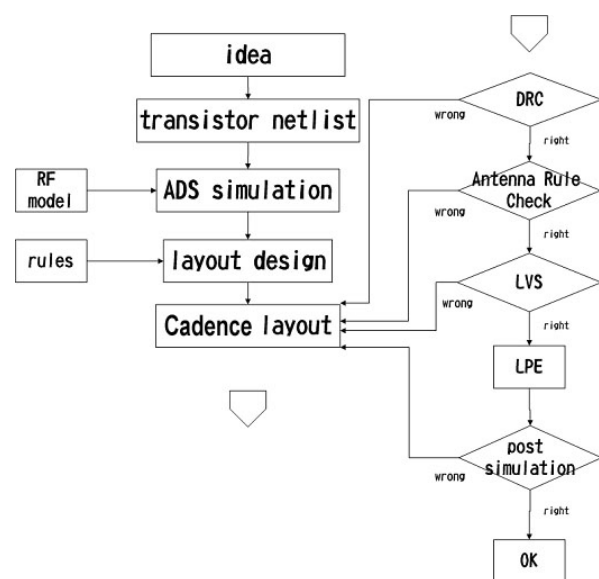


圖 7. LNA 設計流程圖



(一) S-參數模擬

圖 8 為模擬結果，圖 8 (a) 中 S_{11} 為輸入反射係數，為 -12.203dB；圖 8 (b) 中 S_{12} 為電路的隔絕度 (isolation)，避免 LNA 下一級的反彈訊號影響到 LNA 輸入端的訊號，其值幾乎被電路架構所決定了，本架構值大約為 -24.67dB；電路的功率增益可由圖 8 (c) 中的 S_{21} 表示，值約為 20.47dB，如果想要再提高增益，將會犧牲線性度以及功率消耗，由此簡單可看出在設計 LNA 時要找尋各個係數的一個平衡取捨關係；圖 8 (d) 中 S_{22} 為輸出反射係數，大約落在 -20.33dB。

(二) 線性度模擬

一般來說，一個系統的線性度越高越好，但是因為系統之中含有電晶體等非線性主動元件，所以連帶的 LNA 工作在較高功率上時，輸出對輸入會產生非線性的壓縮，關於線性度的模擬分析，可分為 2 個部分。

1. 1dB-compression point (1dB 壓縮點)

定義出一個 1dB 點，表示輸出對輸入被壓縮了 1dB。由圖 9 可以看出，當 1dB 點出現在橫軸的越後方表示系統的線性度越好。本論文所模擬出 1-dB 點在 -25dBm 的位置。

2. third-order intercept point (IP3)

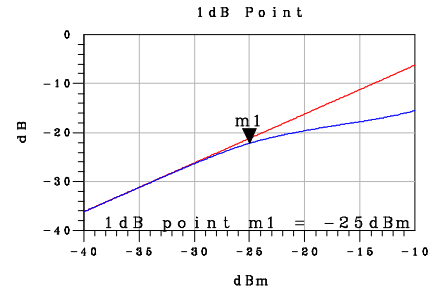


圖 9. 1dB 壓縮點

只模擬 1dB-compression point 不足以代表非線性分析。還必須加上 IP3 的分析。如圖 10，可以發現 IP3 大約位於 -18dBm 的地方。

(三) 雜訊指數模擬

雜訊指數數關一個放大器性能的優劣，其定義為輸入端的訊號雜訊比與輸出端的訊號雜訊比的比值，如式 (3)：

$$F = \frac{S_i / N_i}{S_o / N_o} \quad (3)$$

其中

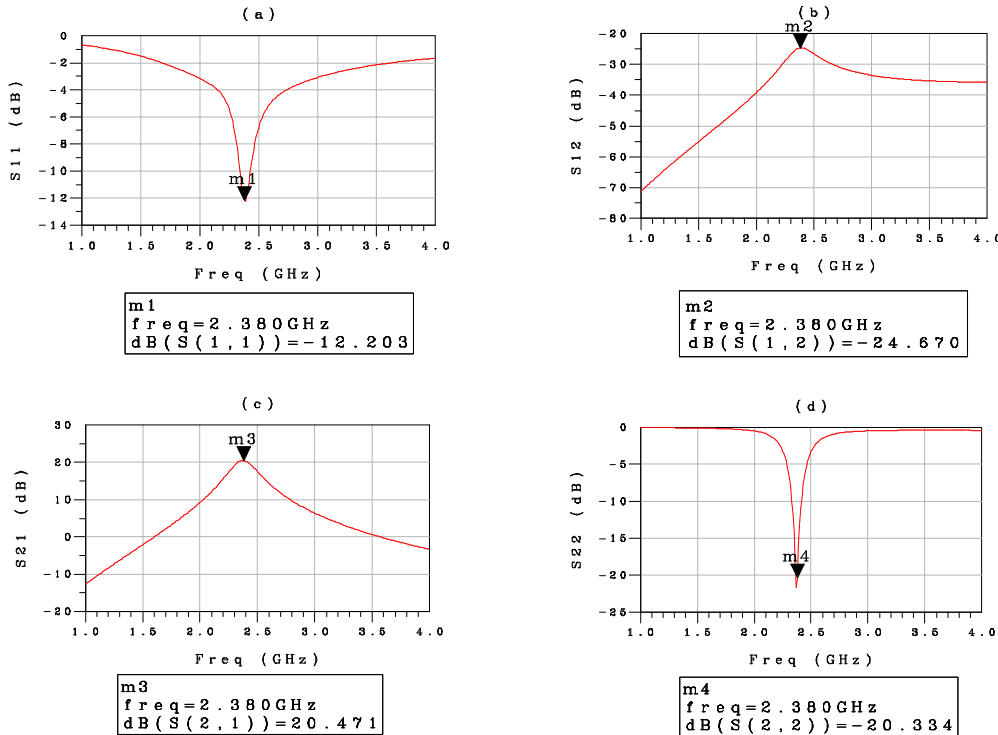


圖 8. S 參數模擬結果



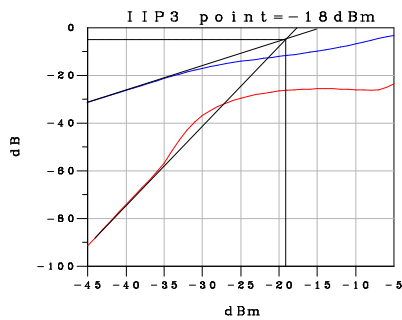


圖 10. IP3 模擬

So= 放大器輸出端的信號功率

Si= 放大器輸入端的信號功率

Ni= 放大器輸入端的雜訊功率

No= 放大器輸出端的雜訊功率

將信號功率與雜訊功率代入，最後可得下列表示式為：

$$F = \frac{S_i / N_i}{G S_i (G N_i + N_a)} = 1 + \frac{N_a}{G N_i} \quad (4)$$

其中

G=可用的功率增益

N_a=放大器內部具加法性之雜訊功率

雜訊指數 NF=10 X log (F)

由式 (4) 中可得出要降低整個電路的雜訊指數，有二個大方向，增加增益以及減少放大器內部具加法性之雜訊功率。

由於本文所使用的架構是 inductive degeneration (電感消耗) cascode 輸入結構，容易達到輸入匹配。這種結構也使得增益與雜訊特性相較於其他輸入結構優良 (resistive-termination、1/g_m-termination、shunt-series-feedback)。前述所提的 3 種輸入結構，皆是利用電阻來作為匹配，但電阻本身的熱雜訊就是非常的高，所以在 LNA 的設計上是非常不利的，所以逐漸發展出以電感作為匹配之用，可以有效的減少雜訊指數。而且藉由電感使用，可以消除高頻時的電晶體所產生寄生的電容效應，可以使匹配效果達到更佳的情形。所以在考慮低雜訊指數與高增益下，選擇 inductive degeneration cascode 為本文的基本架構，架構確定之後：

1. 最佳的雜訊效能可藉由偏壓與輸入端的第一顆 MOSFET 的 size 得到，藉由 size 的調整可以使等效輸入雜訊功率

的最低點在頻率橫軸上移動。這是由於當電晶體的通道寬度加大時，電晶體的轉導 g_m 亦會上升，會使得通道熱雜訊效應降低。至於 size 的調整，也與米勒效應有關。

2. 另外對於雜訊的產生，電感的 Q 值也是一大因素，若電感的串聯電阻較小，則在路徑上也會有較低的熱雜訊產生以降低雜訊。
3. 在頻率上，對雜訊也有影響：

$$NF \approx 1 + \left(\frac{\omega_o}{\omega_T} \right)^2 \frac{\gamma}{\alpha} g_m R_{eq} + \left(\frac{\omega_o}{\omega_T} \right)^2 \frac{\gamma}{\alpha} \frac{2}{\kappa} + \frac{\alpha \delta}{\kappa g_m R_{eq}} \quad (5)$$

隨著製程的縮小，ω_T 會更高，而能自動的提高雜訊指數的效能。

所以，在能夠提供高增益的有利條件下，再加上輸入匹配、元件調整、以及製程技術精進的條件，對於本文所設計的 LNA，確實可以達到低雜訊的目的。圖 11 為本論文所模擬的雜訊指數，大約為 1.54dB。

(四) 製程及環境變異的模擬

由於在實際操作時供應電壓有可能有些微偏差，因此將 2.5V 的工作電壓加上 10% 的變異，以模擬當量測時供應電壓的變異，如圖 12。由此可見對於電路影響並不是非常的大。其中三角形標誌線為 -10% 的供應電壓，圓形標誌線為 +10% 的供應電壓。由模擬曲線可以看出，電壓些微的變異，對於 LNA 本身的效能影響並不是很大。

還有工作溫度的考量，由於台積電 ADS RF Model 只能模擬幾個特定的元件 (MOS, 電阻...等)，所以本結果不是非常的準確，不過依舊具有參考價值，其中比較了攝氏 0 度與 50 度對電路的影響，如圖 13。圓形標誌線為 50 度的

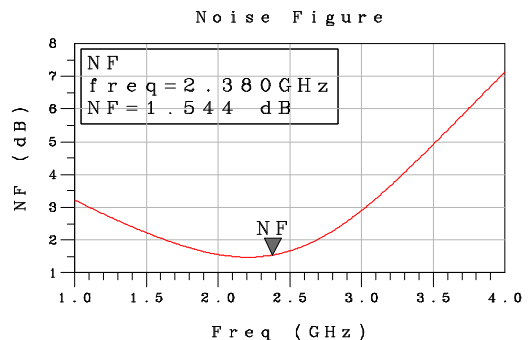


圖 11. 雜訊指數



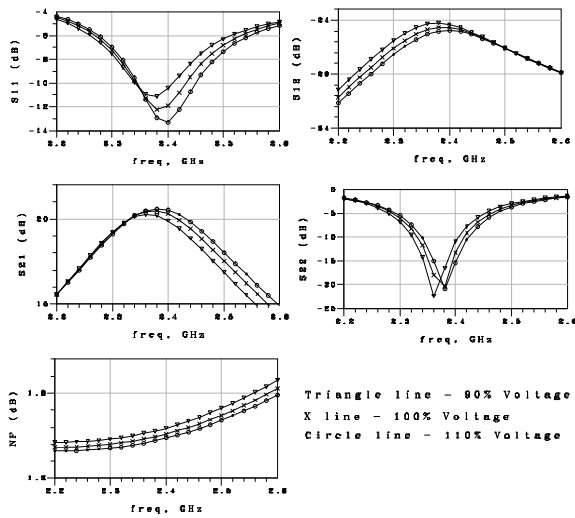


圖 12. 供應電壓變異對於電路的影響

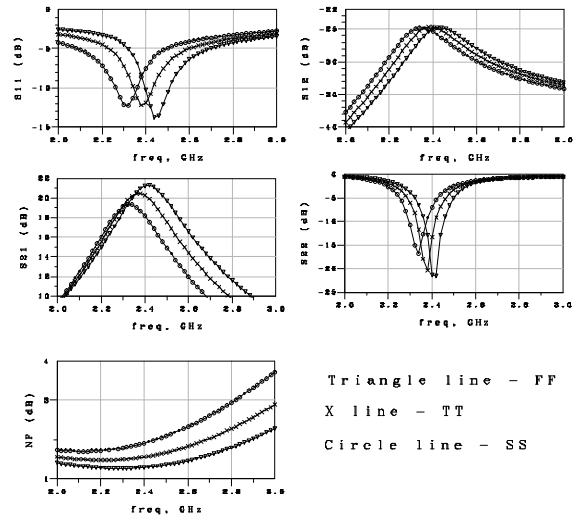


圖 14. corner model 的模擬

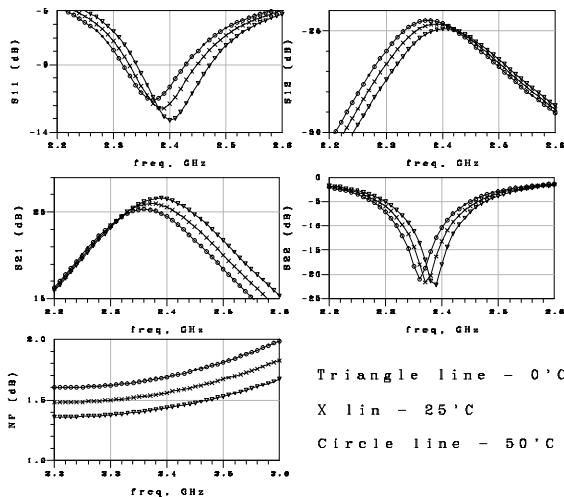


圖 13. 溫度變化對電路的影響

模擬結果，三角形標誌線為 0 度的模擬結果。一般的 LNA 元件工作溫度範圍，並不會超過 0~50°C 的範圍，所以在這個溫度變化範圍內，LNA 的效能只受些微的影響。

圖 14 為 corner model 的模擬，本文模擬了 TT、FF、SS、SF、FS 五種情況，但是 SF 與 FS 與 TT 的模擬曲線重疊在一起。所以模擬圖示只看得見 3 條曲線。

本文另外利用 ADS 模擬出此次 LNA 的穩定度，其中包含 Load 端以及 Source 端的穩定度，這兩種穩定度曲線的值大於 “1”，代表這個 LNA 電路穩定，圖 15 細線代表負載端的穩定曲線，粗線代表源端的穩定區線，由圖中可以看出，

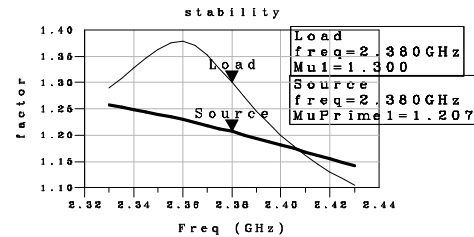


圖 15. 穩定度的模擬

在 100MHz 的頻寬範圍內皆穩定。

六、預計規格

如表 1，為本次電路的模擬結果與其他相關研究的比較，表格中 [9]、[6] 以及 [4] 為其他研究的模擬結果，[5]、[3] 為量測結果，可以比較出本電路的雜訊指數、增益以及反向隔絕度效能皆優於其他研究，另外由於線性度與增益大體來說具有反比的特性，因此在本電路高增益之下，1-dB 壓縮點略劣於 [6]。綜合以上所述以及模擬結果來看，本電路是一個效能良好的設計。

七、測試考量

為了更精確的測試本文所設計的電路特性，所以將整個電路設計定位在以 on-wafer 量測為目標，量測環境是利用國家毫微米實驗室（NDL）的高頻 S 參數量測系統（s-parameter measurement system），進行 on-wafer 的 S 參



表 1. LNA 特性比較

	[5]	[3]	[9]	[6]	[4]	This Work
NF	2.5dB	4dB	2.3dB	2.5dB	1.9dB	1.544dB
Power gain	8dB	10.5dB	18.06dB	19.9dB	15.2dB	20.471dB
Reverse Isolation	-	-	-44.79dB	-47.8dB	-41.3dB	-24.670dB
Power Dissipation	20mW	40mW	33.94mW	14.7mW	19.3mW	18.5mW
1-dB Compression	-	-	-	-12dBm	-	-25dBm
Frequency	2.4GHz	1.8GHz	2.0175GHz	2.4GHz	1GHz	2.38GHz
Process	0.35 μ m	0.35 μ m	0.6 μ m	0.35 μ m	0.5 μ m	0.25μm
Supply Voltage	2V	2.5V	3.3V	2V	1V	2.5V
Year	2000	2001	2001	2001	2002	2002

數量測。以 HP ICCAP 元件量測及模型參數萃取系統為使用者介面，整合 HP 85122A 以進行高頻 S 參數（頻率最高至 20GHz）之量測，並且在 on-wafer 量測環境中作變溫變壓量測。值得注意的是由於晶片並無做上 ESD 保護，故量測時應注意工作環境安全問題，以防止靜電毀壞晶片。

八、結論

射頻電路上的 LNA 在設計之初，便需要考慮相當多的變數，通常是牽一髮而動全身，例如為了提高增益，便要犧牲了功率消耗；抑或是為了跟下一級配合，而犧牲 LNA 的某些效能，該如何取捨，全靠設計者的設計能力以及廠商給予設計者的最低規範來設計。可以用最簡單易懂的方法來檢驗本論文設計的 LNA 的功效，如圖 16，細線代表輸入訊號，粗線輸出訊號。

圖 16 (a) 中，假設在輸入端接收到一個 2.38GHz 振幅為 0.5 μ V 的正弦波訊號，那麼在出入端可看出訊號被放大了。如圖 16 (b)，接著把輸入端的訊號頻率改成 1.8GHz，其他維持不變，可以明顯看出輸出訊號被壓抑住了。圖 16 (c)，再將輸入訊號改為 0.9GHz 可以自輸出端看出更好的壓抑效果，由此簡單道理可以知道本論文設計的 LNA 可以過濾掉 2.38GHz 以外的訊號干擾。圖 17 表示出本論文所設計的 LNA layout 圖。

通常為了配合量測儀器的配置，RF 輸出入端擺置於晶片的東西側，而直流輸出入端設置在晶片的南北側或是同在南側或北側。layout 技巧的好壞也對整體 LNA 效能有相當大的影響，一般來說，螺旋電感盡可能遠離各個元件以防止受到其他元件干擾，RF 輸出入端也盡量接近元件，才不至於使得輸出入路徑過長而增加被干擾的機會。

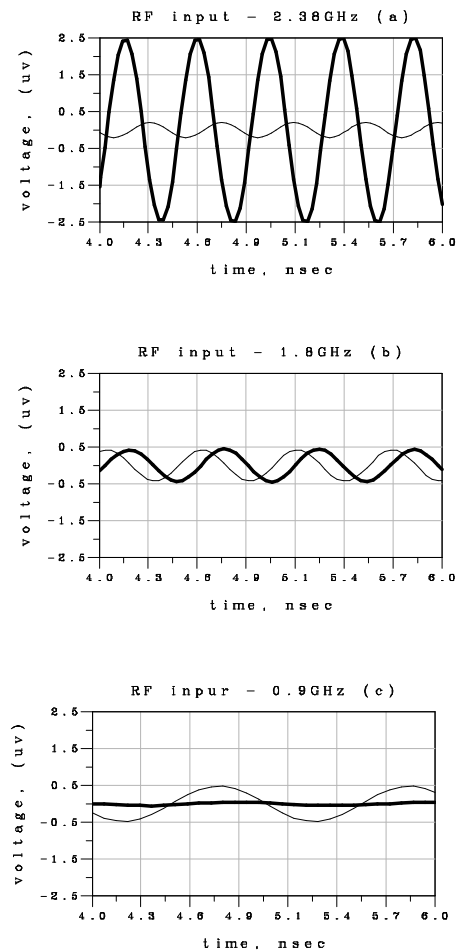


圖 16. 對於 2.38GHz 以外的頻率有好的壓抑效果

設計 LNA 也還有差動式的結構，優點為對於基板或是供應電源所產生的雜訊，有較好的免疫力，但是卻有較高的功率消耗以及耗費較大的晶片面積等缺點。



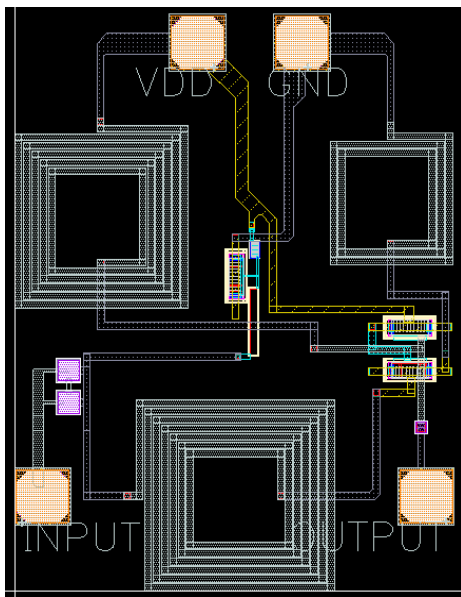


圖 17. LNA Layout 圖

參考文獻

1. 林哲煜 (民 91) , Design of RF CMOS IC , CIC 訓練課程 (A602) 講義。
2. 廖文裕 (民 88) , CMOS 低雜訊放大器之研究 , 國立清華大學電機工程學系碩士班碩士論文。
3. Debono, C. J., F. Maloberti and J. Micallef (2001) A 1.8

GHz CMOS low-noise amplifier. *The 8th IEEE International Conference*, 3, 1111-1114. Malta.

4. El-Diwany, E., H. El-Hennawy, H. Fouad and K. Sharaf (2002) An RF CMOS modified-cascode LNA with inductive source degeneration. *Radio Science Nineteenth National Conference of the Proceedings NRSC*, 450-457. Alexandria, Egypt.
5. El-Gamal, M. N., R. A. Rafla (2000) 2.4-5.8 GHz CMOS LNA's using integrated inductors. *Proceedings of the 43rd IEEE Midwest Symposium*, 1, 302-304. Lansing Michigan, USA.
6. Huang, J. C., R. M. Weng, C. C. Chang, K. Hsu and K. Y. Lin (2001) A 2V 2.4GHz fully integrated CMOS LNA. *The 2001 IEEE International Symposium*, 4, 466-469. Sydney, Australia.
7. Lee, T. H. (1998) *The Design of CMOS Radio-Frequency Integrated Circuits*, 34-37. Cambridge University Press, New York, NY.
8. Razavi, B. (1998) *RF Microelectronic*, 166-180. Prentice Hall PTR, New Jersey, NJ.
9. Zhao, H., J. Ren and Q. Zhang (2001) A 3.3-V, 2-GHz CMOS low noise amplifier. *ASIC 4th International Conference*, 818-820. Shanghai, China.

收件：92.02.20 修正：92.03.31 接受：92.05.22

