

利用電子束微影技術完成奈米尺寸圖案

羅世嵩¹ 黃俊達¹ 游信強² 朱育宏³ 柯富祥⁴

¹大葉大學電機工程學系

彰化縣大村鄉山腳路 112 號

²國立交通大學電子研究所

新竹市大學路 1001 號

³國立清華大學電子研究所

新竹市光復路二段 101 號

⁴國家奈米元件實驗室

新竹市大學路 1001-1 號

摘要

本研究主要以微影系統來定義出奈米等級的圖案。利用電子束阻劑應用於電子束微影上，並且以黃光製程製造出小於 60 奈米的線寬。使用電子束微影技術很輕易的便能製作出 100 nm 以下的結構，能將電子元件之線寬微縮至 60 nm 以下。本研究對電子束光阻在微影製程、蝕刻等特性做製程方面的探討並比較不同線寬之效應。

關鍵詞：電子束微影，奈米，電子束阻劑

Implementing a Nano-Scale Pattern by the Electron-Beam Micro-lithography Technique

SHICH-SONG LUO¹, JUN-DAR HWANG¹, HSIN-CHIANG YOU², YU-HUNG CHU³ and FU-SHIANG KO⁴

¹*Department of Electrical Engineering, Da-Yeh University*

112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan

²*Department of Electronic Engineering, National Chiao-Tung University*

1001 Ta-Hsueh Rd., Hsinchu, Taiwan

³*Department of Electronic Engineering, National Tsing-Hua University*

101, Sec. 2, Kuang-Fu Rd., Hsinchu, Taiwan

⁴*National Nano Device Laboratory*

1001-1 Ta-Hsueh Rd., Hsinchu, Taiwan

ABSTRACT

A nano-scale pattern has been defined by a micro-lithography technique. The resistance of an electron beam, NEB, is applied to electron-beam lithography, by which a 40 nm line-width structure was successfully fabricated. By using the electron-beam lithography technique, one can easily fabricate a 100 nm structure and reduce the line width of an electron device to below 60 nm. In this

study, the characteristics of NEB resistance employed in micro-lithography and etching processes are investigated. In addition, the responses of different line widths have been compared.

Key Word: electron-beam lithography, nano, electron-beam resistance

一、前言

隨著半導體技術的進步，電子元件的發展朝向尺寸不斷的縮小，元件反應速度更快，使得元件的尺寸進入了深次微米的領域內。在進入奈米級元件的世代，對於極超大型積體電路（ultra large scale integrated, ULSI）的應用來說，最主要的關鍵在於元件的積集化。爲了要增加封裝密度、元件操作速度及減少功率消耗，元件尺寸持續的縮小，是必然的。要如何突破光學微影製程極限，一直是各大廠商研發部門的首要目標。由 ITRS 2001 所發表的技術藍圖（roadmap）報告中指出光學微影製程在 2001 年後即將面臨兩大挑戰：第一、如何克服光學微影的物理上限制；第二、需要研發一種全新的後光學時代（post-optical lithography）微影技術以及將此新的技術導入量產製程上。不論未來微影製程技術如何發展，在技術上都必須克服下列四個關鍵技術 [5]：1. 曝光機台設備的改進，2. 光阻材料及製程設備的研發，3. 光罩製作、光罩製作機台與光罩材質的改進，4. 關鍵尺寸（critical dimension, CD）量測設備、光罩圖案對準的控制以及缺陷檢驗技術的改善；這些都是在發展下一代微影技術時，必須注意到的環節。

依目前國內外的 IC 技術而言，在進入次 100 奈米世代，已無適當的光源可以用，因會造成相當的繞射。故目前尚無 90 奈米以下的 IC 圖案被發表，而電子束微影是公認的進入次 100 奈米世代最好的曝光工具，因不會有繞射現象。但使用電子束微影，並不可以使用傳統的光阻劑，因爲電子束並不是一種光源，而必須選擇適當的電子束阻劑。而本論文就是使用電子束微影並選擇適當的電子束阻劑來作出 40 奈米的閘極圖形。

二、製程實驗研究

以整體來說，進行微影製程時所需具備的器材除了有光源、光罩及光阻劑之外，還需要有用來顯影的顯影液（developer）。而微影的基本製程也就是由光阻劑塗覆（coating）、曝光（exposure）及顯影（development）三大步驟所構成的，但是爲了加強圖案傳遞的精確性（accuracy）與可靠性，整個微影製程就還需要去水烘烤（dehydration

bake）、塗底（priming）、軟烤（softbake）和硬烤（hardbake）等步驟，使整個複雜性跟著增加。一般的微影製程步驟如圖 1 [2, 4, 6]。

而製作奈米線寬圖案，需藉由先進的微影製程，此研究採用的微影製程爲電子束微影製程。雖然電子束微影系統已經開始大量研究於微小元件的製作 [7]，但隨著解析度需求的上升，往往使得所需的光阻厚度變薄，所以對於極小之圖形定義通常伴隨著超薄的光阻層，但是在此薄的光阻層條件下，其抗蝕刻能力往往不足，以致於造成過蝕刻現象產生，造成圖形失真 [1, 3]。由於電子束阻劑的抗蝕刻能力往往令人詬病，爲了克服上述之問題，我們嘗試將光阻劑與有高度抗蝕刻能力的碳奈米粒子團做混和，稱爲電子束阻劑修飾法，藉由阻劑修飾，可以得到高解析度、小線寬以及高抗蝕刻能力之阻劑。在微影製程之中，未曝到光的聚合物經顯影和硬烤之後，必須能夠增加抵擋電漿蝕刻（plasma etching）的能力。而我們利用奈米粒子團去修飾電子束阻劑。發現了加入奈米粒子團後圖案的對比度、蝕刻抵擋能力及熱穩定性

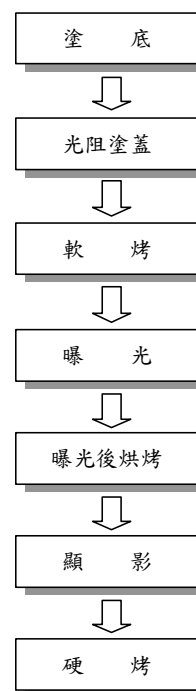


圖 1. 微影製程步驟

等方面都有增進。利用奈米粒子的優點與光阻劑做結合，研究阻劑修飾對阻劑的特性增益，如降低電子束曝光劑量、增進阻劑抗蝕刻能力以及更高的線寬極限等。

選擇奈米粒子的原因有三點：1. 奈米粒子有非常小的體積，對小線寬曝光時並不會造成影響。2. 奈米粒子可以均勻溶解在有機溶劑中。3. 奈米粒子與光阻劑同屬碳化物，所以加入奈米粒子在阻劑中，在微影製程時，並不會對原有元件製造過程中造成影響。

三、結果與討論

實驗結果發現到加入奈米粒子會填補光阻劑中的自由體積，電子束在進行曝光時，被奈米碳粒子團散射，增加電子束阻劑中感光物質被電子束感光的機會，進而降低電子束的曝光劑量。由此可見經修飾後的阻劑，能以較低的劑量曝出相同的圖形與更小的線寬。圖 2 (a) 是一般傳統製程中，未經奈米粒子團，在顯影後造成阻劑倒塌，與蝕刻轉移圖案

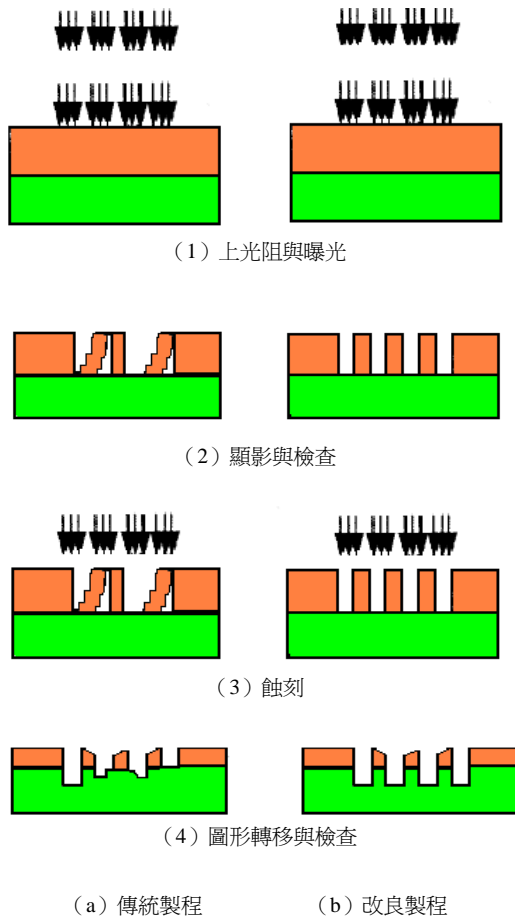


圖 2. 傳統與改良製程，蝕刻圖案的比較

的變形，而圖 2 (b) 經修奈米粒子團後阻劑增加高的解析度、高的抗蝕刻能力，有更好的圖形轉移能力。因此，對於電子束背向散射問題有較好的改善。圖 3 是經電子束曝光顯影後的 SEM (scanning electron microscopy) 圖形。圖 3 (a) 顯示了未經修飾的電子束阻劑，在 40nm 線寬時，低劑量條件下，有顯影後崩塌的情形。圖 3 (b) 顯示了在 40nm 線寬高劑量時，線寬有變大的趨勢，表示未經修飾的電子束阻劑無法曝出 40nm 的線寬，其解析度不足。圖 3 (c) 為加入奈米粒子修飾後曝出 40nm 的線寬，其增加了光阻的解析度。

四、結論

傳統的光學微影無法使用在次 100 奈米的電子元件上。故欲突破目前的 0.13 微米的 IC 製程，只有依靠沒有繞射現象的電子束微影搭配適當的電子束阻劑。電子束在曝光的過程中，主要都為穿透阻劑的機制，光阻中的感光物質，經過修飾後的阻劑，因為含有奈米碳粒子團，當電子束打到奈米碳粒子團時，造成奈米碳粒子團的散射，使得一個個的奈

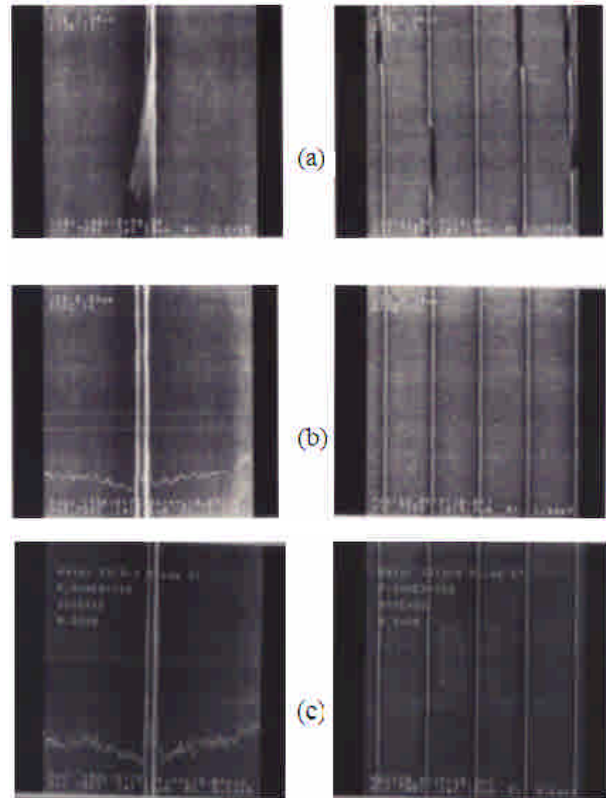


圖 3. 未經電子束阻劑修飾 (a) 低劑量，(b) 高劑量，(c) 經奈米粒子修飾後的 SEM 圖

米碳粒子團，就像一個電子束源，增加光阻劑對電子束感光的機會，繼而降低電子束曝光劑量，進而降低電子束之背向散射問題，對電子束微影製程中，有明顯的貢獻。本論文突破了 90 奈米的技術，在加入奈米粒子團後成功的製造出 40 奈米的開極圖形，相信對我國的 IC 製造技術在進入奈米世代有很大的幫助。

參考文獻

1. 許兼貴 (民 90)，深紫外光光罩抗反射技術及次 100 奈米世代電子束直寫阻劑特性研究，國立清華大學碩士論文。
2. 莊達人 (民 85)，VLSI 製造技術，三版，頁 236-238，高立圖書有限公司，台北。
3. 陳力俊主編 (民 89)，微電子材料與製程，頁 286-289 中國材料科學學會，新竹。
4. 張俊彥、鄭晃忠 (民 87)，積體電路製程及設備技術手冊，頁 78-79，中華民國產業科技發展協進會，台北。
5. 施錫龍 (民 85)，電子束晶圓步進系統簡介，電子月刊，2(2)，頁 21-23。
6. 龍文安 (民 87)，積體電路微影製程，頁 14-15，高立圖書有限公司出版，台北。
7. Coburn, J. W. and H. F. Winters (1979) Plasma etching – a discussion of mechanisms. *Journal of Vacuum Society Technology*, 16(2), 391-394.

收件：92.07.10 修正：92.10.06 接受：92.11.10