

## 高效能 D 類放大器之脈波寬度調變系統晶片研製

陳瑞昌<sup>1</sup> 郭永超<sup>2</sup> 呂俊鋒<sup>3</sup> 劉麗珍<sup>3</sup> 馮瓊玉<sup>3</sup>

<sup>1</sup>大葉大學電機工程學系

<sup>2</sup>大葉大學資訊工程學系

彰化縣大村鄉山腳路 112 號

<sup>3</sup>中州技術學院工程技術研究所

彰化縣員林鎮山腳路三段二巷 6 號

### 摘要

本文針對高效能 D 類放大器 (class-d amplifiers) 之脈波寬度調變系統晶片的設計與應用為研究方向, 以高效率、低電壓、體積小、量產速度快和價格便宜的優勢使用類比電路設計方式, 研製出一適合應用在電源、穩壓、影音、放大、驅動、控制、無線通訊及高頻電路使用之系統。

本研究以全訂製 (full-custom) 方式來設計 D 類放大器之脈波寬度調變 (pulse width modulation, PWM) 系統晶片電路, 製程採用 TSMC 0.35 $\mu$ m 2P4M Mixed-Signal 前瞻性晶片製作成實體 IC 晶片。

最後, 我們將脈波寬度調變系統晶片進行實際運用、測試及成果分析, 由實驗模擬、理論分析及實際量測結果可知, 本系統確實具有各項優越的性能, 適合作為影音放大、驅動控制等多項用途。

**關鍵詞:** D 類放大器, 脈波寬度調變系統晶片, 影音, 驅動控制, 功率放大器

## Pulse Width Modulation Chip Implementation for High Efficiency Class-D Amplifiers

RUEI-CHANG CHEN<sup>1</sup>, YEONG-CHAU KUO<sup>2</sup>, CHUN-FENG LU<sup>3</sup>, LI-JEN LIU<sup>3</sup> and CHYONG-YUH FERNG<sup>3</sup>

<sup>1</sup>Department of Electrical Engineering, Da-Yeh University

<sup>2</sup>Department of Computer Science and Information Engineering, Da-Yeh University

112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan

<sup>3</sup>Institute of Engineering Technology, Chungchou Institute of Technology

#6, Alley 2, Sec. 3, Shan-Jiau Rd., Yuan-Lin, Changhua, Taiwan

### ABSTRACT

This paper presents the design and implementation of a pulse width modulation (PWM) chip for a high-efficiency class-D amplifier. With high efficiency, low voltage, small area, high speed, such a circuit is employed for many electronic systems, such as power circuits, constant-voltage circuits, video and music amplifier circuits, driver and control circuits, wireless communication and high-frequency circuit systems.



This PWM chip follows the full-custom design flow by the TSMC 0.35 $\mu$ m 2P4M Mixed-Signal CMOS process. The PWM chip is tested and the experimental results are discussed. The excellent performance of the chip verifies that it can be applied to audio/video amplifiers, driver control, etc.

**Key Words:** class-d amplifiers, pulse-width modulation, audio/video, driver control, power amplifiers

## 一、緒論

自從脈波調變系統在幾年前被以電晶體方式研究發表之後，國內外研究的專家學者就十分的熱烈投入研究，伴隨著半導體製程技術 [6,8] 日益的進步，電力、電子產品對於各式控制晶片的需求與日俱增，尤其是我們所使用的 CMOS 元件 [10,11]，發展至今它的材料特性、應用原理 [3,5] 及佈局技術 [16,25] 已經相當成熟，相當適合應用在電源、穩壓、影音、放大、驅動、控制、無線通訊 [4] 及高頻電路的設計上 [9]。而且將其設計成 IC 的型式 [7,12] 將更具有體積小、量產速度快、耗電量低與價格便宜的優勢，使得我們使用互補式金屬氧化物半導體 (complementary metal oxide semiconductor, CMOS) 元件來設計 [1-2] 高效能 D 類放大器之脈波寬度調變控制晶片，更具有重要的研究價值。

目前有關脈波類比調變系統的發展現況而言，因為要降低雜訊干擾的需要而發展的調變方式可以分為：脈波振幅調變 (pulse amplitude modulation, PAM)、脈波相位調變 (pulse position modulation, PPM)、脈波寬度調變 (pulse width modulation, PWM) 三種 [13,14]，其發展現況和應用將分為這三個部份來討論：

### (一) 脈波振幅調變 (PAM) 控制 IC 發展現況和應用

目前有關脈波振幅調變 (PAM) 控制 IC 的發展現況是以，將類比基頻信號載波調變成一信號波形的波幅依調變信號的變化而改變高度大小的方式來傳送，但是發展至今 PAM 還存有一個很嚴重的問題，那就是脈波高度很容易被不需要的雜訊或干擾所改變，所以在信號傳送過程中信號失真非常嚴重而且又很難達到不被雜訊干擾的要求，故因商品效能不佳所以目前使用率並不高。

### (二) 脈波相位調變 (PPM) 控制 IC 發展現況和應用

目前有關脈波相位調變 (PPM) 控制 IC 的發展現況是以改變相位位置方式將類比基頻信號載波調變成一相位位置變化不同的信號波形方式來傳送，但由於相位位置不同造成調變及解調不易，故在傳送過程中一旦受到雜訊或干擾所改變我們就很難還原信號，而且因調變成本較高又不容易解調，所以較不經濟使用率也就偏低，因此發展至今 PPM 控

制 IC 商品仍然很難被廣泛使用。

### (三) 脈波寬度調變 (PWM) 控制 IC 發展現況和應用

結合上述的概念，發展成今日之星：脈波寬度調變控制 IC [15,26]，其調變方式是以將類比基頻信號載波調變成一信號高度相同，但其寬度變化的不同是隨原始的信號波形大小而呈比例變化方式來傳送，PWM 因為具有高效能與高抗雜訊的雙功能，所以使用上非常廣泛，其效率最高可達 96% 以上，脈波寬度調變控制 IC 常常被廣泛使用在電源、穩壓、影音、驅動、控制、無線通訊及高頻電路上，所以國家科技要發展進步，相形之下必須投入 PWM 控制 IC 的研究也就更為重要。

在本論文中，我們研究 D 類放大器 (class-d amplifiers) 中的脈波寬度調變控制 IC 的設計與應用 [17-24]；脈波寬度調變積體電路除了效率非常高之外，能夠廣泛應用在於各項產品上，主要是新技術的開發和半導體製程進步的成果，綜觀國際各國專家學者投入 PWM 相關性能改善研究與應用，所投下的經費非常的多，尤其是美國、日本與韓國近年來更是如此，而我們國內研究的人員及投入的經費卻非常有限，所以常常造成日、韓兩國的 IC 電子產品在市場上的佔有率有偏高的情況，已經有領先我們國家的趨勢；有鑑於此，本實驗室正努力研發 PWM 控制晶片，加強其性能的提升與應用發展，希望朝向國際水準的方向來努力；由於本研究計劃中許多設計的概念是參考非常多的國內外期刊論文與業界廠商所推出的產品來參考設計，所以更符合概念理想與實際應用的兼顧。

本論文也將整個控制晶片和週邊電路的部份做了許多性能的評估，架構設計上合併整合了更多其它週邊系統而形成另一效能強大更實用的系統，此次提出本前瞻論文不但增強了 PWM 系統的性能也縮小 PWM 控制晶片的整體面積，未來更希望能夠嵌入更多部份朝向系統單晶片方式來研究，而且要讓 PWM 更具有多性能整合提升的效果的方向來發展，使我們研究 PWM 系統應用的靈活度更高，也要得到本論文的成果驗證，因此特別提出本前瞻性的論文。



## 二、脈波寬度調變系統晶片製作原理

如圖 1 方塊圖所示，高效能 D 類放大器系統包括一個信號輸入端、誤差放大器、振盪器、電壓斜波產生器、運算放大器 (operational amplifier, Op Amp)、比較器、功率放大器、LC 低通濾波器 (inductor and capacitor filter, LC filter)、回授放大器及最後揚聲器輸出端，紅色虛線部份為本論文所設計的脈波寬度調變 (PWM) 控制 IC 系統架構，本系統具有獨立運轉的功能，架構如圖 2 所示，細部可分為五個部份：運算放大器、振盪器 (oscillator)、電壓斜波產生器 (voltage ramp generator)、比較器 (comparator)、輸出功率放大級 (output stage) 和 LC 低通濾波器，我們將分別做詳細討論。各部電路功能分述如下。

### (一) 運算放大器

運算放大器電路，在理想情況下：是一種壓控式電壓源，而且輸入阻抗要趨近無窮大，輸出阻抗要趨近於零，增益、頻寬要趨近無窮大，要達到零補償電壓及沒有溫度漂移效應和不會受失真及雜訊干擾的影響。然而，實際的運算放大器卻沒有辦法達到此一理想值。

我們以上述的理想值當成目標設計出一實際的運算放大器，如圖 3 所示，完成之後對電路做模擬分析，符合我們的需求之後，再將其輸出信號傳送至比較器的輸入端和三角

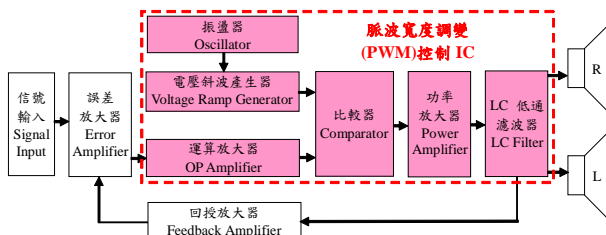


圖 1. 高效能 D 類放大器之脈波寬度調變系統方塊圖

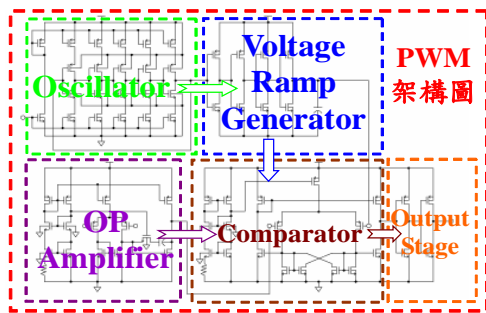


圖 2. 脈波寬度調變 (PWM) 控制 IC 系統架構圖

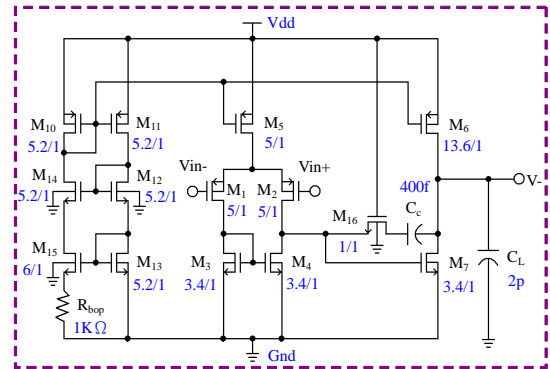


圖 3. 運算放大器電路圖

斜波做比較。

我們以圖 3 電路做積體電路之階層式電腦模擬程式 (hierarchical simulation program with integrated circuit emphasis, HSPICE) 模擬得到如圖 4 所示曲線，圖 4 曲線最上方藍色曲線為運算放大器的電壓增益約為 72dB，頻寬約為 102 MHz，中間紅色曲線為相角約為 65°，最下方為兩者做比較所得到的電路模擬分析曲線，由特性曲線分析結果得知設計符合我們 (表 1) 所設定要求。

### (二) 振盪器

振盪器的設計是使用 P 型電晶體大於 N 型電晶體約兩倍寬的方式設計，如圖 5 所示，圖 5 振盪電路是由電壓來控

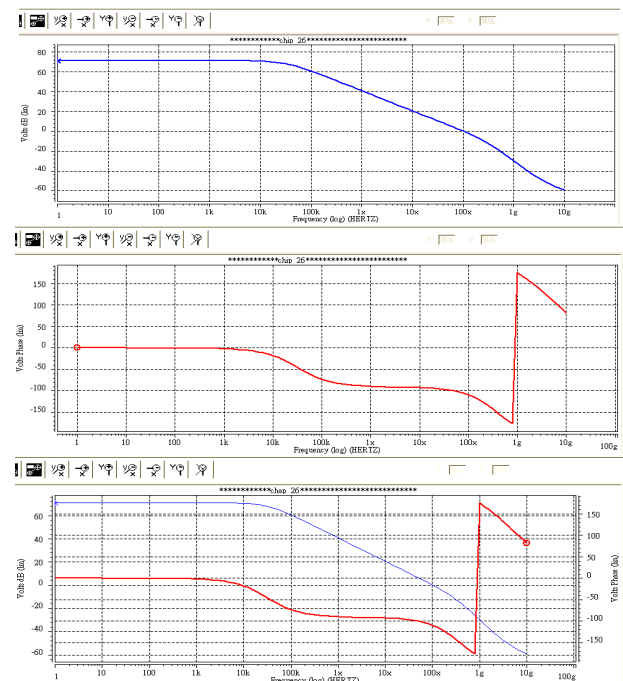


圖 4. 運算放大器電路輸出增益頻寬波形圖



表 1. 運算放大器預計規格表

Voltage Gain ( $A_v$ )	$A_v \geq 70\text{dB}$
Gain Bandwidth (GB)	$GB \geq 100\text{MHz}$
Slew Rate (SR)	$SR \geq 10\text{V}/\mu\text{s}$
Phase Margin (PM)	$PM \geq 60^\circ$
Load Capacitor ( $C_L$ )	$C_L \leq 2\text{pF}$
Power Supply Voltage	3.3V
Output Swing	0.42.8V
Power Dissipation	3.0268m Watts
Total Area	1.016mm×1.016mm

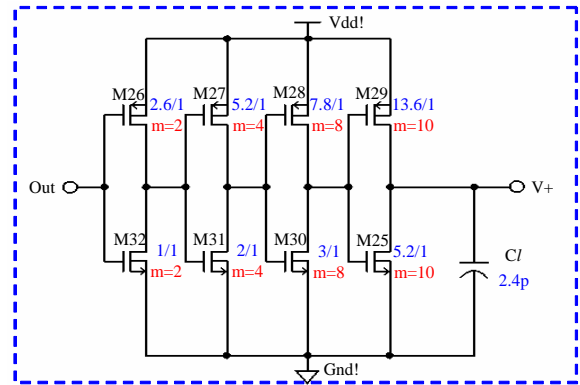


圖 7. 電壓斜波產生器電路圖

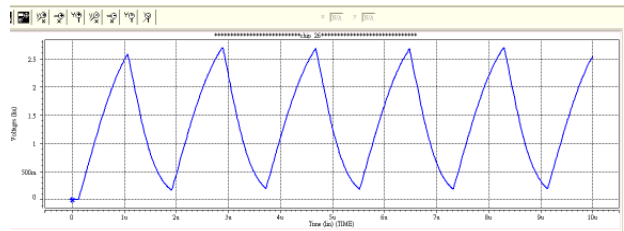


圖 8. 電壓斜波產生器電路輸出波形圖

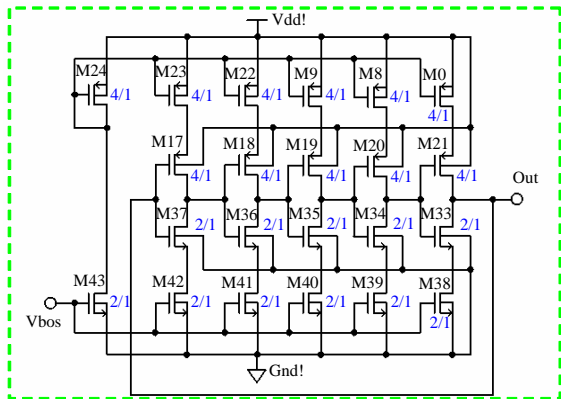


圖 5. 振盪器電路圖

制頻寬的自發性振盪電路，只要供給電壓在額定的區間內約 0.55V~0.6V，相對振盪出來的頻率就會在我們設計的規格之內，其振盪波形如圖 6 所示，振盪器的輸出端可以得到一上下振盪的波形，最後振盪器的輸出端會再將信號傳送至電壓斜波產生器的輸入端。

(三) 電壓斜波產生器

電壓斜波產生器如圖 7 所示，其操作方式是將振盪器的輸出端 (Out) 信號當成輸入信號，以一級推一級的反相放大方式，做四級反相放大形成同相放大去推動電容 (CL) 做充放電，只要適當的調整設計電容值，就可以產生我們所要的近似三角形的斜波，如圖 8 所示得到一近似的三角波

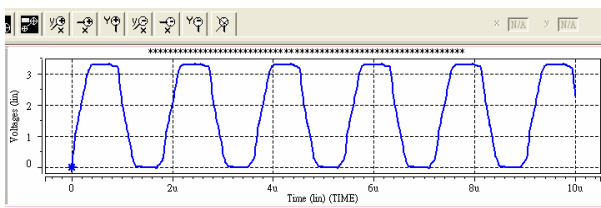


圖 6. 振盪器電路輸出波形圖

形，最後輸出端 (V+) 再將三角形的斜波輸出到比較器的輸入端 (V+) 和運算放大器輸出 (V-) 信號做比較。

(四) 比較器

比較器的操作方式如圖 9 所示，是將運算放大器的聲頻輸出 (V-) 信號與電壓斜波產生器的三角斜波輸出 (V+) 信號，當成輸入信號來做比較，如圖 10 所示，如果比較器的 (V-) 端正弦波信號大於 (V+) 端三角波信號則會輸出一個電壓值為 0 的連續方波，反之，若比較器的 (V-) 端正弦波信號小於 (V+) 端三角波信號則會輸出一個電壓值為 VDD 的連續方波。

(五) 立體雙聲道功率放大輸出級和 LC 低通濾波器

輸出端採用如圖 11 所示的設計方式的話，則因上方功率放大電路的訊號與下方功率放大電路的訊號反相，訊號相差 180° 形成雙聲道交互迴路，因此在輸出端負載上將會有立體雙聲道的效果，其後級再使用 LC 低通濾波器的構想是因為電感對直流的壓降很小幾乎可以忽略 (電感抗  $X_L = \omega L = 2\pi f L$ ; 直流時頻率  $f = 0$ )，而電感對交流的連波電壓阻抗卻很大 (交流時頻率  $f \neq 0$ )，所以我們使用 LC 低通濾波器就可以得到低連波電壓及高直流輸出的特性。



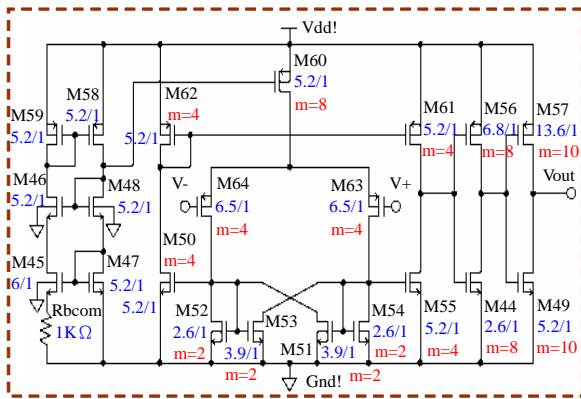


圖 9. 比較器電路圖

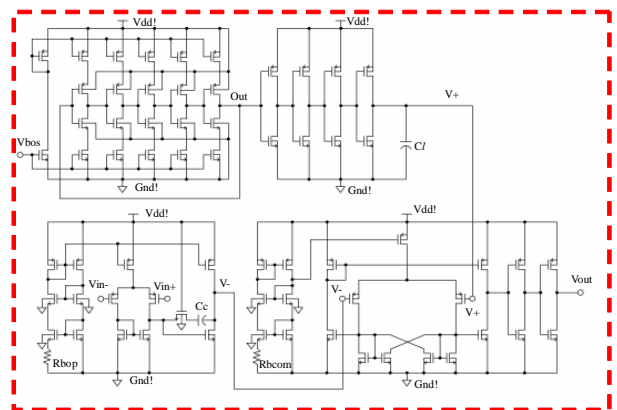


圖 12. 脈波寬度調變控制 IC 系統電路圖

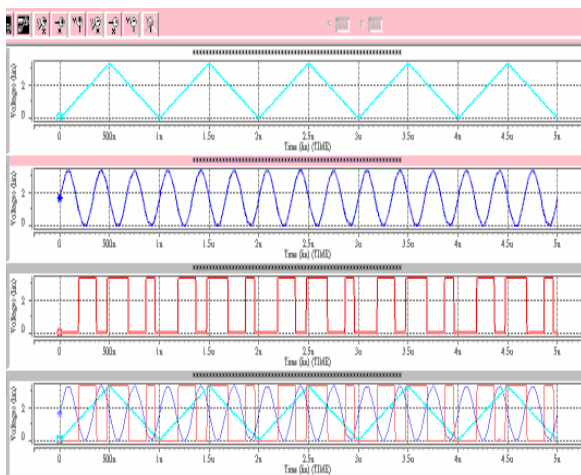


圖 10. 比較器電路輸入及輸出波形圖

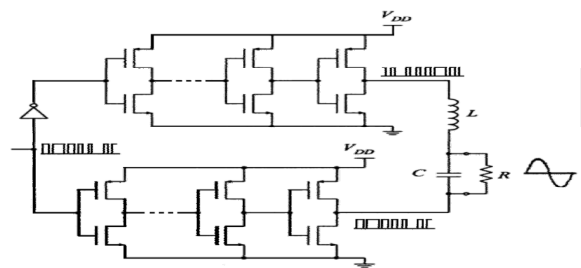


圖 11. 立體雙聲道功率放大輸出級和 LC 低通濾波器電路圖

### 三、脈波寬度調變系統晶片實作成果

#### (一) 脈波寬度調變 (PWM) 控制 IC 之實作設計

將振盪器、電壓斜波產生器、運算放大器及比較器和輸出級整合而成為如圖 12 所示之脈波寬度調變控制 IC 系統電路重新分析整體系統及模擬各種特性並且進行最後電路佈局實做以晶片方式實現。

如圖 13、14、15 所示，如果比較器的 (V-) 端正弦波信號大於 (V+) 端三角波信號則會輸出一個電壓值為 0 的連續方波，反之，若比較器的 (V-) 端正弦波信號小於 (V+) 端三角波信號則會輸出一個電壓值為 VDD 的連續方波。

分析 1：當三角波固定時 PWM 輸出信號的寬度是隨輸入信號大小而變化。

分析 2：如圖 16(a) 所示，當三角波頻率及大小改變時 PWM 輸出信號的寬度將會隨輸入信號頻率大小改變而變化。(準位固定做左右調整)

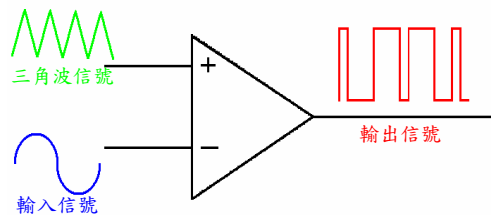


圖 13. 脈波寬度調變控制 IC 功能圖

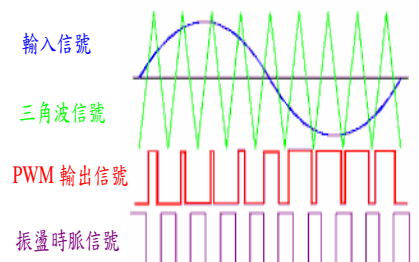


圖 14. 脈波寬度調變控制 IC 時序分析圖



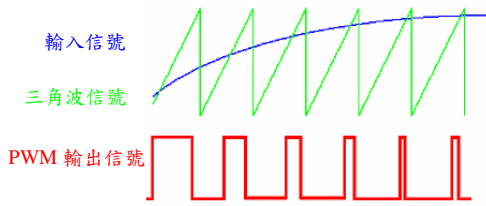


圖 15. 當三角波固定時脈波寬度調變控制 IC 操作分析圖

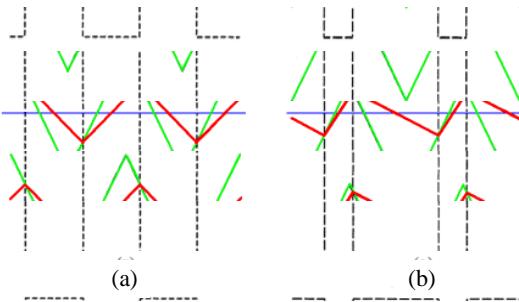


圖 16. 當三角波頻率準位大小及斜率改變時脈波寬度調變控制 IC 操作分析圖

分析 3：如圖 16(b) 所示，當三角波直流電壓準位及大小改變時 PWM 輸出信號的寬度將會隨輸入信號頻率改變而變化。(頻率固定做上下調整)

(二) 模擬結果與驗證部份

分別為：1. 模擬驗證，含 HSPICE 前模擬驗證 (pre-simulation)、HSPICE 登入模擬驗證 (post-simulation)；2. 實作佈局驗證，含 Calibre-DRC (使用 CM35P5\_4M.23a.2)、Calibre-LVS (使用 cali035pMMV\_2P4M.lvs) 做比對模擬驗證。3. 為求 HSPICE 登入模擬驗證準確，我們也做 Calibre-PEX(使用 TSMC352P4MCalibre.pex2)做參數萃取。

1. 分析模擬驗證：

(1) HSPICE 前模擬驗證：如圖 17 所示，考量溫度對 D 類放大器之脈波寬度調變系統電路的影響情況分析 (0 度到 110 度)；模擬結果得知溫度影響成正比關係。如圖 18 所示，考量電壓轉換曲線對應設計不同之 Wp/Wn 比值的變化特性；模擬結果得知 Wp/Wn 成正比關係。如圖 19、20、21 所示 PWM 在不同操作頻率時的前模擬結果。

(2) HSPICE 登入模擬驗證。

2. 實作佈局驗證：

(1) Calibre-DRC 模擬佈局驗證：DRC (design rule

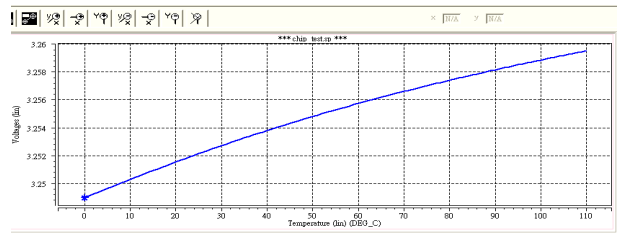


圖 17. 溫度對 D 類放大器之脈波寬度調變系統影響關係圖

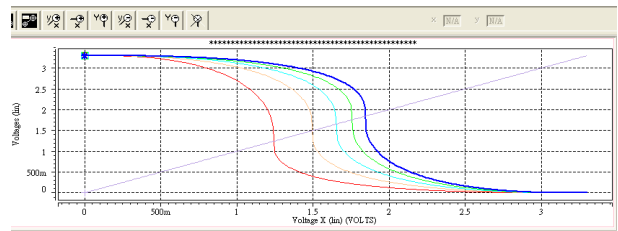


圖 18. 電壓轉換曲線對應不同 Wp/Wn 比值的變化特性圖

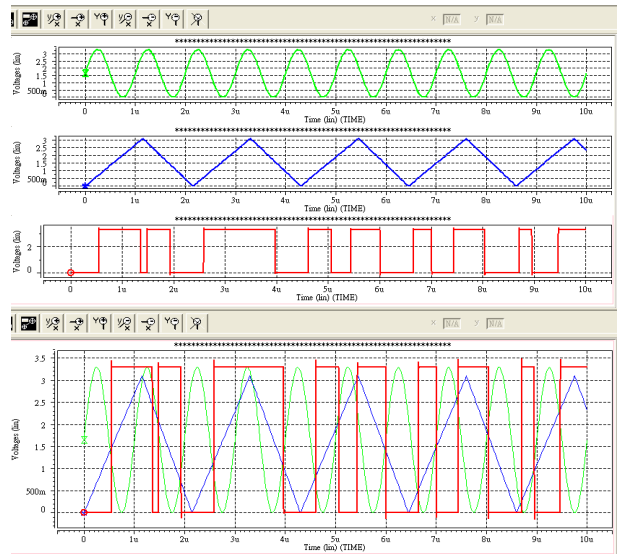


圖 19. PWM 操作在 1MHz 時分析模擬圖

checking) 它主要的動作包括：檢查 Layout 佈局設計與製程規則的一致性。基本設計規則包含各層之 Width、Spacing 及不同層間之 Spacing、Enclosure 等關係。Design Rule 的規定是基於 Process Variation、Equipment Limitation、Circuit Reliability 等的考量，所以如果有違反 DRC Design Rule 的話必須要進行除錯修正至符合為止。在特殊的設計需求下，DRC Design Rule 可允許部份的彈性，其可參考 CIC 網站上公佈的 DRC 部份容許忽略的假錯項目。



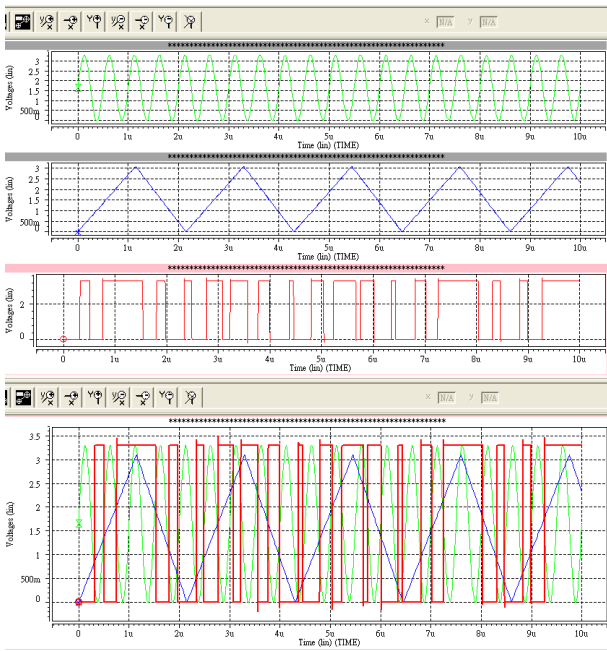


圖 20. PWM 操作在 2MHz 時分析模擬圖

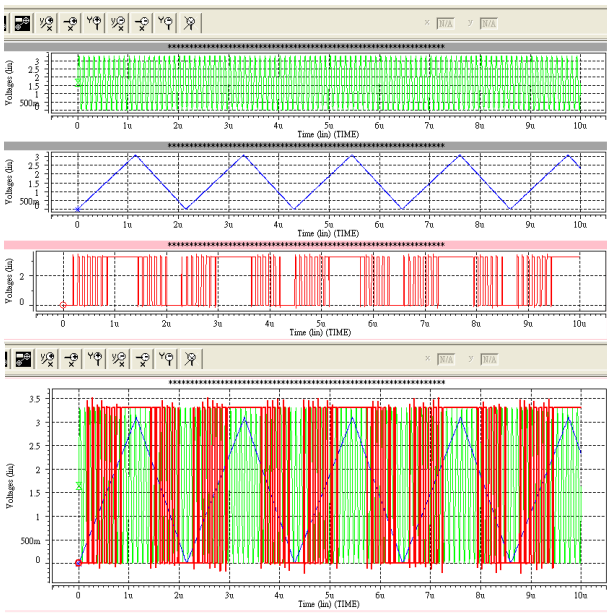


圖 21. PWM 操作在 10MHz 時分析模擬圖

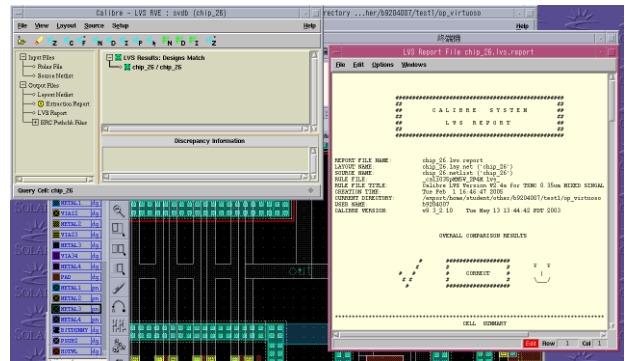


圖 22. Calibre-LVS 模擬佈局驗證圖

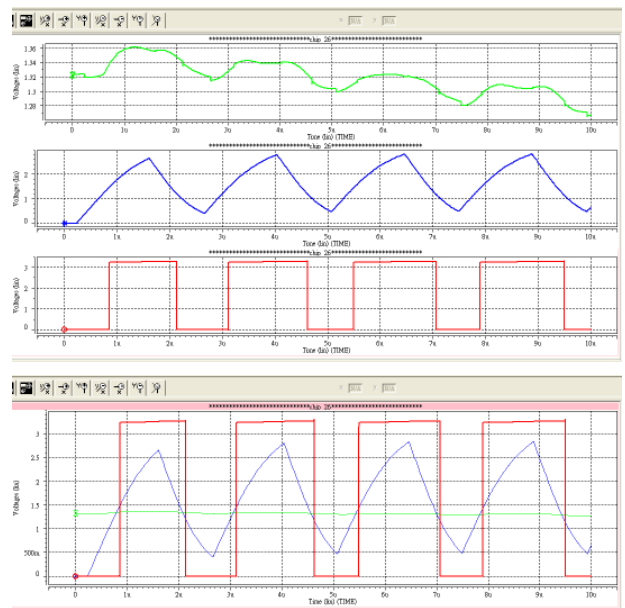


圖 23. PWM 登入模擬結果驗證分析圖

(三) 規格列表，如表 1-3 所示。

#### 四、結論

本論文針對 D 類放大器之脈波寬度調變晶片系統，由設計、模擬、分析到實體佈局、晶片下線製作到最後實體晶片量測分析和應用研究，跑完了設計全程，而且使用全訂製

- (2) 如圖 22 所示，使用 Calibre-LVS 模擬佈局驗證。
- (3) Calibre-PEX 模擬萃取參數：利用 Calibre-PEX 模擬萃取參數，可以萃取產生出 (\*.sp) 的檔案及萃取出比較實際的電阻、電容值和佈局所寄生的電阻、電容值，模擬萃取之後也可以產生 (\*.pex) 檔及 (\*.pxi) 兩個檔案，提供我們做 HSPICE 登入模擬驗證時呼叫引入參數加入模擬，所得模擬結果如圖 23 所示。

表 2. 脈波寬度調變 (PWM) 控制 IC 之功率消耗說明表

Node: VDD!
Average current: 0.9172e+03μA
Average Power Dissipation: Average current × VDD
=0.91721e+03μA × 3.3V
=3.0268mW



表 3. 脈波寬度調變系統控制晶片規格表

Supply Power Pins: VDD!	3.3V
Supply Power Pins: GND!	0V
Input Pins: Vbos	0.55~0.6V
Input Pins: Vin+	信號輸入端
Input Pins: Vin-	信號輸入端
Output Pins: V+	斜波產生器信號輸出端
Output Pins: V-	運算放大器信號輸出端
Output Pins: Vout	PWM 信號輸出端

*** Chip Features	CAD Tools***
CKT name : 高效能D類放大器之脈波寬度調變系統晶片 (設計名稱)	Hspice (使用製程)
Technology : TSMC 0.35μm 2P4M Mixed Signal (115)	OPUS (包裝種類)
Package : SB 28 DIP	(晶片面積; mm <sup>2</sup> )
Chip Size : 1.016 mm* 1.016 mm	(電晶體/邏輯開數)
Transistor/Gate Count : 67顆/	(功率消耗; mW)
Power Dissipation : 3.0268 mW	(最高工作頻率; MHz)
Max. Frequency : 100 MHz	
Testing Results : <input checked="" type="checkbox"/> function work <input type="checkbox"/> partial work <input type="checkbox"/> fail	

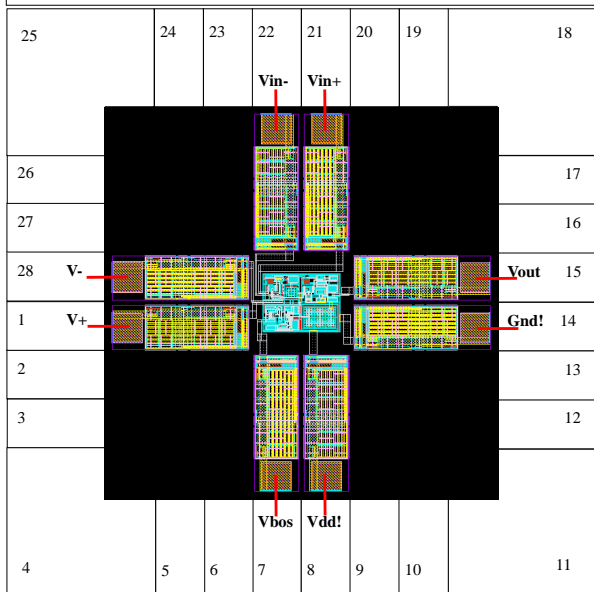


圖 24. 高效能 D 類放大器之脈波寬度調變系統晶片佈局圖

類比積體電路設計方式，最後佈局結果及打線方式如圖 24、25 所示，以前瞻性晶片的製程設計製作，並獲得國家晶片中心評審委員一致推薦，讓本論文所設計電路得以完成 Tape Out 使我們研究 PWM 系統應用的靈活度更高，也得到本論文的成果驗證，證明其功能、用途確實可以廣泛的使用在電源、穩壓、影音、驅動、控制、無線通訊及高頻電路上類比電路設計。

本論文創新，將 OP 放大電路及立體雙通道功率放大級加入 PWM 系統晶片中，使整個系統功能更加完善，增加其實用價值。由實驗結果中可知，此系統確實具有優良的性能，適合作為多用途的各項系統的運用。

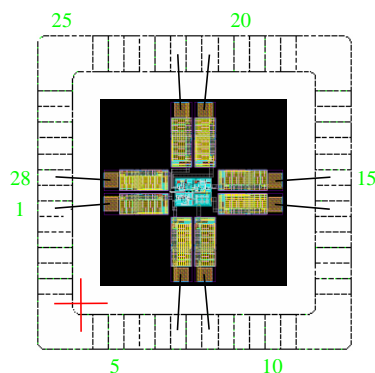


圖 25. 高效能 D 類放大器之脈波寬度調變系統晶片打線圖

參考文獻

1. 李順裕 (民 93)，混合訊號積體電路佈局，教育部顧問室「超大型積體電路與設計」教改計畫，Prototyping & Layout 聯盟，雲林。
2. 周煌程、黃弘一 (民 93)，混合訊號式積體電路佈局之創意設計，創造力在積體電路與系統領域發展模式研討會，SOC 總聯盟，台北。
3. 林振華 (民 91)，電子材料，全華，台北。
4. 約翰·彼德森 (民 89)，基礎通信理論 (王誌麟譯)，東華，台北。
5. 范順程 (民 91)，電源管理晶片之分析與設計，國立雲林科技大學電機工程學系碩士論文。
6. 施敏 (民 91)，半導體元件物理與製作技術 (黃調元譯)，國立交通大學，新竹。
7. 唐經洲、王立洋 (民 91)，VLSI 設計概論/實習，高立，台北。
8. 麥可·凱克、凱撒·希爾德 (民 92)，半導體製造技術 (羅文雄、蔡榮輝、鄭岫盈等譯)，蒼海，台中。
9. 黃弘一 (民 92)，混合訊號式積體電路之佈局與分析，混合訊號式積體電路佈局與分析研討會，中興大學電機系，台中。
10. 畢查德·拉扎維 (民 93)，類比 CMOS 積體電路設計 (李峻實譯)，滄海，台中。
11. 偉德·埃甚拉吉安 (民 91)，CMOS VLSI 設計原理 (黃淑娟譯)，培生，台北。
12. 雅各 (民 86)，比積體電路應用與設計 (陳世寬、謝東河等譯)，高立，台北。
13. Berkhout, M. (2003) *Push-pull amplifier*, U.S. Patent 6,





- 518, 837. Four phase level shift circuit for use in a push-pull amplifier. U.S. Patent 6, 476, 672.
14. Berkhout, M. (2003) An integrated 200-W class-d audio amplifier. *IEEE Journal of Solid-State Circuits*, 38(7), 1198-1206.
  15. Dijkmans, E., C. Dijkmans and J. A. T. M. van den Homberg (2001) *PWM amplifier with feedback loop integrator*. U.S. Patent 6, 300, 825.
  16. Hastings, A. (2001) *The Art of Analog Layout*, Prentice Hall, New Jersey, NJ.
  17. Lee, C. F. and P. K. T. Mok (2003) A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique. *IEEE Journal of Solid-State Circuits*, 39(1), 3-14.
  18. Mosely, I. D. (1999) Effect of dead time on harmonic distortion in class-D audio amplifiers. *IEEE Electronics Letters*, 35(12), 950-952.
  19. Nonaka, S., K. Kesamaru, K. Yamasaki and M. Nishi (1990) Interconnection system with single phase IGBT PWM CSI between photovoltaic arrays and the utility line. *IEEE Industry Applications Society*, 2(10), 1302-1307.
  20. Nonaka, S. and Y. Neba (1993) Single phase PWM current source converter with double-frequency parallel resonance circuit for DC smoothing. *IEEE Industry Applications Society*, 2(10), 1144-1151.
  21. Nonaka, S. (1994) A utility-connected residential PV system adapted a novel single-phase composite PWM voltage source inverter. *IEEE Photovoltaic Specialists Conference*, 1(12), 1064-1068.
  22. Nonaka, S. and Y. Neba (1994) Single phase composite PWM voltage source converter. *IEEE Industry Applications Society*, 2(10), 761-767.
  23. Nielsen, K. (1997) A review and comparison of pulse width modulation (PWM) methods for analog and digital input switching power amplifiers. presented at *the 102nd Audio Engineering Society Convention*, Munich, Germany, Preprint 4446.
  24. Patella, B. J., A. Prodic, A. Zirger and D. Maksimovic (2003) High-frequency digital PWM controller IC for DC-DC converters. *IEEE Transactions on Power Electronics*, 18(1), 438-446.
  25. Saint, C. and J. Saint (2001) *IC Layout Basics/A Practical Guide*, McGraw-hill, New York, NY.
  26. Tan, M. T., J. S. Chang, H. C. Chua and B. H. Gwee (2003) An investigation into the parameters affecting total harmonic distortion in low-voltage low-power class-d amplifiers. *IEEE Transactions on Circuits And Systems- I: Fundamental Theory and Applications*, 50(10), 1304-1315.
- 收件：94.02.18 修正：94.06.24 接受：94.08.15

