Journal of Science and Engineering Technology, Vol. 18, No. 2, pp. 17-25 (2022)

具平行運算之高精準距離時間轉換電路暨整合 SPAD 前端感測器與自動清除信號之光達系統晶片設計

謝宜蓁
逢甲大學電子工程學系
407102 台中市西屯區文華路 100 號
janehsieh9726@mail.fcu.edu.tw

摘　要

本篇論文提出使用兩組 TDC 進行並行計算處理，以提高整體 TDC 的計算速度，減少其死亡時間，並同時保持高解析度的能力。將前端光學感測器－SPAD 與 TDC 整合於同一顆晶片中，以加快 TDC 與 SPAD 之間的信號傳輸，減少延遲時間。藉由上述方式，數據傳輸速度將大大提高，帶來高性能的光學雷達系統。本篇採用 TSMC-T18HVG2 製程實現晶片設計。參考時脈頻率為 100MHz。整體 TDC 的最短死亡時間為 20ns，最高解析度為 100ps，量測範圍可達 382.5 公尺，晶片面積為 2.5 mm^2。

關鍵詞：光學雷達系統，時間數位轉換器，單光子雪崩二極體

Parallel-Process Auto-Clear Time-to-Digital Converter Chip Integrated with Single-Photon Avalanche Diode Sensors for a Light Detection and Ranging System

YI-CHEN HSIEH
Department of Electronic Engineering ， Feng Chia University
No. 100, Wenhua Rd., Xitun Dist., Taichung City 407102, Taiwan, R.O.C.
janehsieh9726@mail.fcu.edu.tw

ABSTRACT

This study proposes parallel computer processing on two groups of time-to-digital converter （TDC） chips to improve the calculation speed of the overall TDC, reduce its death time, and simultaneously maintain high-resolution capability. Integrating a single-photon avalanche diode （SPAD） and a TDC on the same chip can speed up the TDC input and SPAD output transmission, reducing the signal transmission delay. In the proposed design, the front-end SPAD optical sensor and TDC circuit are integrated, and the TSMC-T18HVG2 process is employed. The reference clock frequency is 100 MHz. The TDC's shortest dead time is 20 ns, its resolution is 100 ps, the measurement range can reach 382.5 m, and the chip area is 2.5 mm^2. Two TDCs can operate

simultaneously, significantly improving the data transmission speed and giving a light detection and ranging system high-performance.

***Key Words*:** LiDAR system, time to digital converter, single photon avalanche diode

一、光學雷達介紹

近年來，自動駕駛車輛乃為全球炙手可熱的研究議題，其中光學雷達（Light Detection and Ranging, LiDAR）的量測技術佔據了相當重要的一環。光學雷達（LiDAR, Light Detection and Ranging），又稱為光達，是一種光學遙感技術，利用發射脈衝雷射光束探測目標物，當光子擊中目標物後，感測器會接收從目標物反射的光子，並計算光子的飛行時間，以偵測雷達與目標物之間的距離。光學雷達系統的工作原理可以分為三個部分，依序為產生雷射脈衝的雷射光發射源、接收反射光子的光學感測器，以及計算光子飛行時間的時間距離轉換電路。此系統的操作原理為，產生一個脈衝信號作為開始信號，同時觸發雷射發射源（LD transmitter）發射光子，當發射的光子擊中目標物後立即反射，利用單光子崩潰二極體（Single Photon Avalanche Diode, SPAD）作為接收光子的感測器，當 SPAD 接收到反射的光子時，會產生一個崩潰電流，形成一個脈衝信號作為停止信號，而時間數位轉換器（Time to Digital Converter, TDC）會針對開始信號以及 SPAD 產生的停止信號計算兩股信號之間的時間差，並將計算後的結果轉換為數位信號，提供給後端的數位信號處理電路進行資料的處理、演算及堆疊等……。光學雷達系統工作原理圖如圖 1 所示。

二、研究方法

本篇論文使用時間數位轉換器（Time to Digital Convert, TDC）將兩個輸入波相差的時間轉換成數位信號輸出，提出兩組 TDC 做平行處理的方式，達到降低整體 TDC 的運算時間的效果。如同[2]我們將前端光學感測器—SPAD 與 TDC 整合於同一顆晶片，降低提升 TDC 電路的運算速度以及信號傳輸的速度。晶片採用 TSMC-T18HVG2（TSMC 0.18μm CMOS High Voltage Mixed Signal Based Generation II BCD 1P6M Salicide Al FS）製程實現，系統架構流程圖如圖 2 所示。

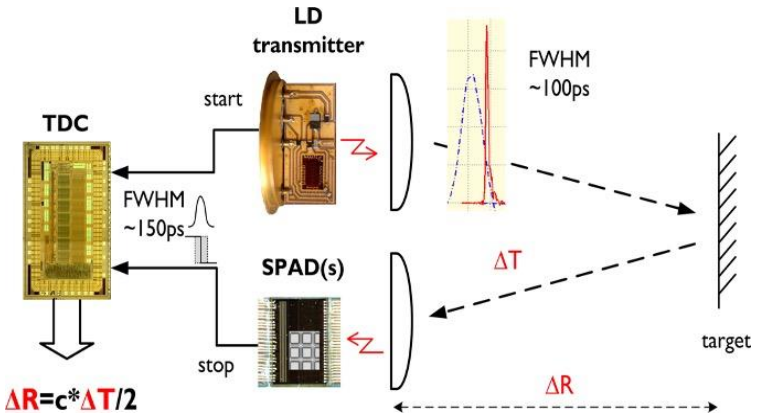

圖 1. 光學雷達系統工作原理圖

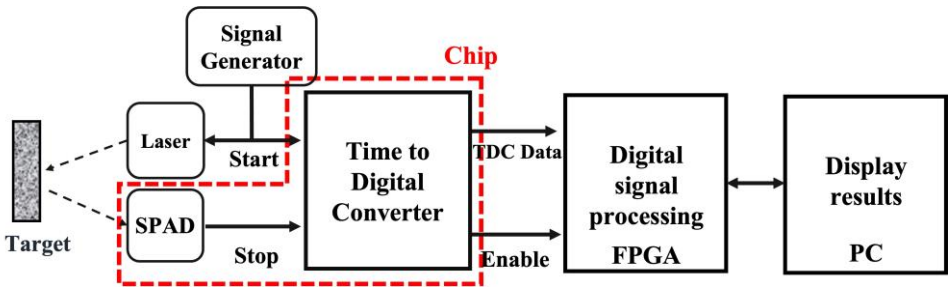

圖 2. 系統架構流程圖

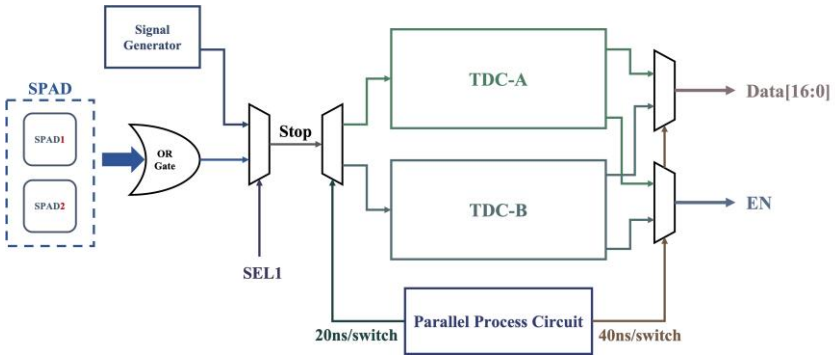

圖 3. 平行處理架構圖

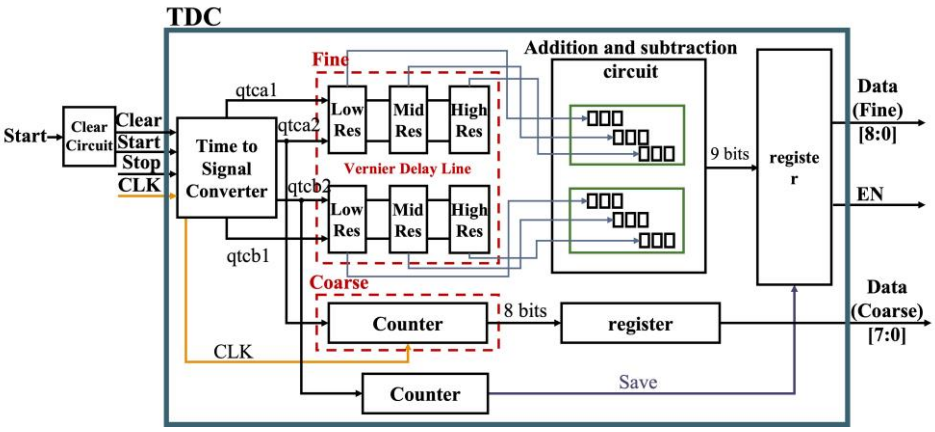

圖 4. TDC 電路方塊圖

（一）平行處理電路架構

由於 SPAD 是一個具有高度靈敏特性的光學感測器，因此在強環境光下，SPAD 除了接收來自目標物反射的光子，同時也會接收到大量的光雜訊。在大量光雜訊的情況下，要辨識出目標物實際位置的難度則會大幅提升，因此，後端系統需要大量的資料堆疊，才能更容易的辨識出目標物的實際距離。然而要採集大量的時間資料，必須回朔到前端的 TDC 可處理資料量的能力。TDC 能夠處理的資料量多寡取決於 TDC 的死亡時間（Dead Time）。當 TDC 的死亡時間越短，能夠計算來自 SPAD 產生的停止信號則越多，反之則越少。因此，本篇提出平行處理電路架構，期望透過兩組 TDC 平行處裡的方式，將整體死亡時間降低。

當 TDC 接收到開始（Start）信號及停止（Stop）信號後，會針對兩筆信號進行時間差的計算。這段時間內，TDC 無法接收新的 Stop 信號，意即 TDC 的死亡時間。本篇設計的平行處理電路會在每 20ns 時切換一次解多工器，以控制 Stop 信號輸入至其中一組 TDC 做計算。晶片中有兩組 TDC，分為 TDC-A 和 TDC-B，兩組皆會輸出 17 bits 的 Data 值，分別為 8 bits 的粗調結果和 9 bits 的細調結果，再加上一個作為與後端接收溝通的 Enable 信號。藉由 17 個多工器控制輸出來自 TDC-A 和 TDC-B 的 Data 值，以及，一個多工器控制輸出來自 TDC-A 和 TDC-B 的 Enable 信號。共計 18 組多工器皆會在每 40ns 切換一次。平行處理架構圖如圖 3 所示。

（二）時間數位轉換器

時間轉數位轉換器（Time to Digital Converter, TDC）應用於光達與物體的距離量測。目標物有遠近之分，因此一般 TDC 電路會將時間差的計算分成兩個部分，分別為使用計數器做為粗調（Coarse），以及使用游標延遲電路（Vernier Delay Line, VDL）作為細調（Fine），再將兩個計算結果結合後，即可獲得量測的距離。利用上述方式即能從公尺等級的解析度，增加到公分等級的解析度，這樣的量測方式能更精準的計算出物體的實際距離。TDC 電路方塊圖如圖 4 所示。

電路分為粗調量測及細調量測兩種，粗調量測的目的在於測量長距離，較大範圍的延遲時間。其量測方法為利用計數器（Counter）做計算，計算方式為先將 Start 跟 Stop 兩股信號經過時間轉換電路，分別拆成 qtca1、qtca2 及 qtcb1、qtcb2 兩組信號。當 Start 和 Stop 輸入 TDC 的同時，分別會產生 qtca1 以及 qtcb1 兩股信號，接著待系統時脈（CLK）的正緣觸發時，分別產生 qtca2 以及 qtcb2。而計數器所計算的範圍是 qtca2 到 qtcb2 兩股信號的時間差，計數器會計算在此範圍內所有完整的 CLK 週期（10ns），計算出較長的延遲時間，粗調量測電路如圖 5 所示。

細調量測的目的在於量測短距離，補足粗調量測量不到的時間範圍。如圖 8 的時序圖所示，Start 進到 TDC 的實際時間與 qtca1 的上升緣相同，而粗調電路則必須等到與下一個 CLK 的上升緣產生 qtca2 才得以開始計算，所以必須利用細調電路補足 qtca1 與 qtca2 之間的時間差，同理，針對 Stop 也是相同做法。如此一來，我們才能更精確地得到與目標物的實際距離。細調是採用串並列式的 VDL 電路來進行量測。利用從時間信號轉換電路所產生的 qtca1、qtca2 與 qtcb1、qtcb2 兩組信號來做計算，將這兩組信號將分別輸入至兩組 VDL 電路中，之後將兩組 VDL 所計算出的結果進行相減，即可得出 Start 與 Stop 之間的兩股信號之間的細調量測時間，細調量測電路如圖 6 所示。最後再將粗調量測所計算出的時間與細調量測所計算出的時間做相加，將會得到 LiDAR 與物體之間的距離，電路細部流程圖如圖 7 所示。

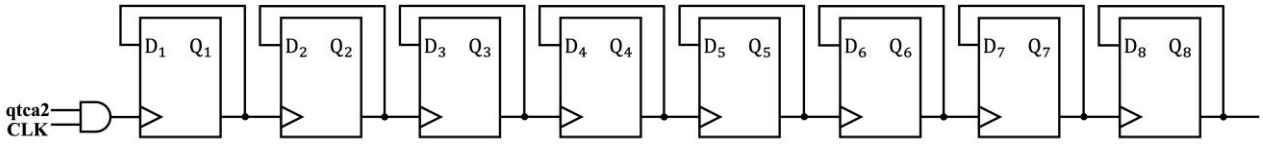

圖 5. 粗調量測電路

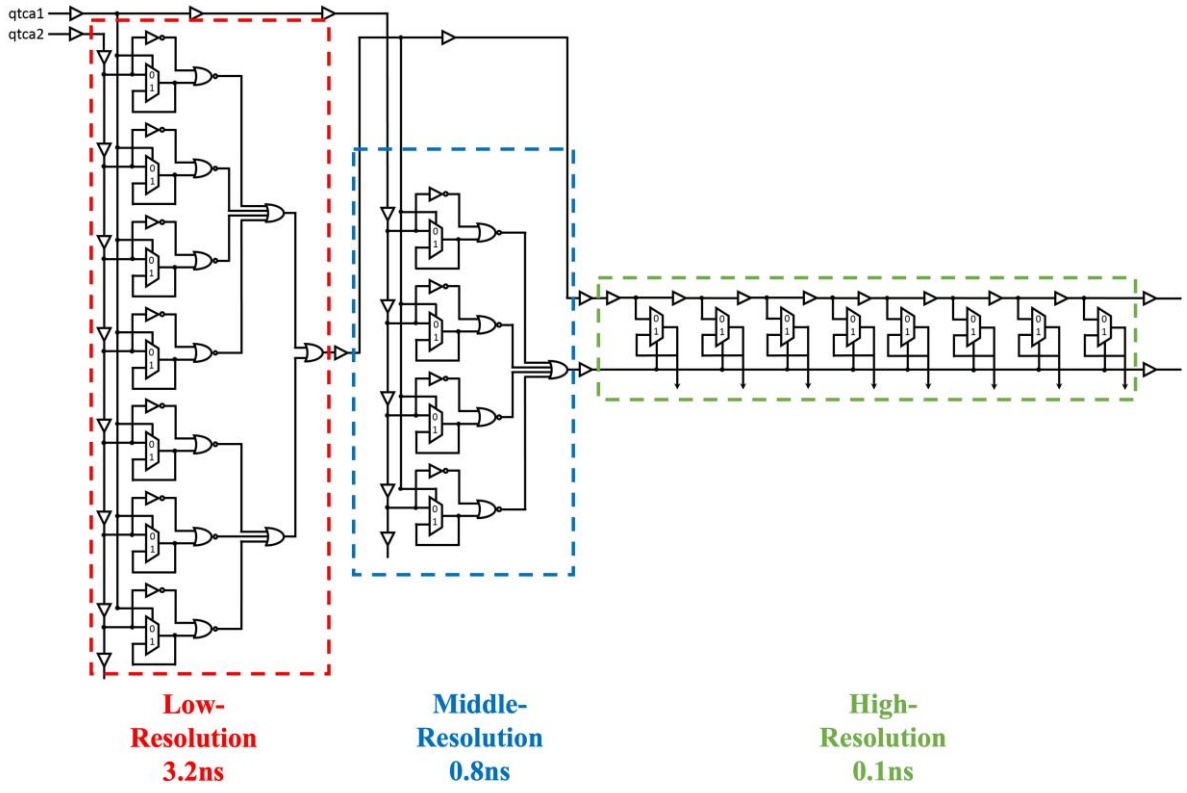

圖 6. 細調量測電路

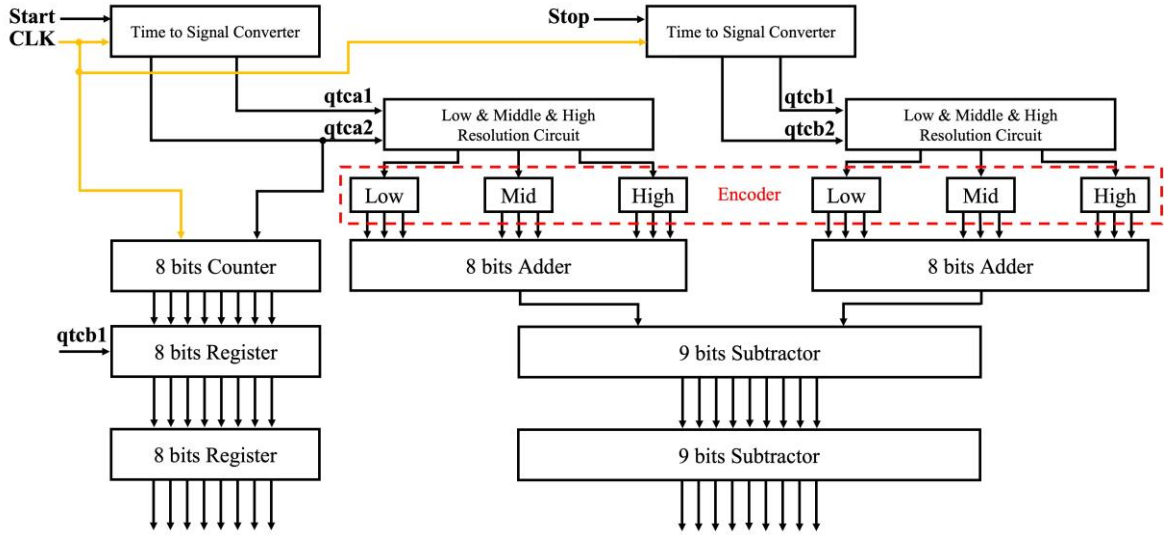

圖 7. 電路細部流程圖

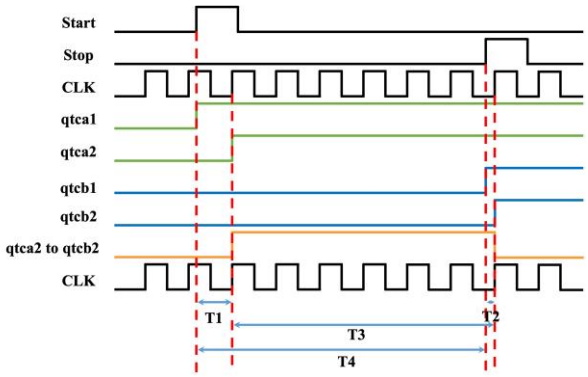

圖 8. 整體電路之工作時序圖

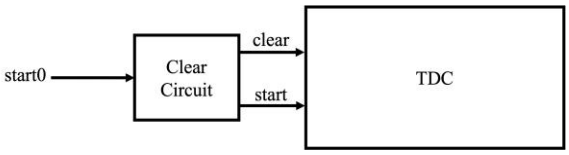

圖 9. 自動清除信號（Clear）方塊圖

本篇論文利用 TDC 電路來量測 Start 與 Stop 之間的時間，整體電路的時序圖如圖 8 所示，將 Start 與 Stop 透過時間轉換電路所產生的兩組信號（qtca1、qtca2 與 qtcb1、qtcb2）分別代表 T1 及 T2，而利用粗調所量測出來的時間代表 T3（qtca2 到 qtcb2），透過式 1 將三個時間差做加減法，即為最終所量測出來 Start 與 Stop 之間的時間差 T4，整體電路之工作時序圖如圖 8 所示。

$$T4=(T1-T2)+T3 \quad (1)$$

由於 TDC 的深度共有 17 個 bit，分別為粗調 8 個 bits，細調 9 個 bits，而粗調的解析度為 10ns，細調的解析度為 100ps，因此 TDC 可量測的時間範圍為 255 乘上 10ns，等於 2550ns，再將 2550ns 乘上光速（3×10^8 m/s），再除以 2，即可得到 382.5 公尺的距離資料，因此 TDC 可量測的最遠距離為 382.5 公尺。

（三）自動清除信號產生電路

每當 TDC 接收到一筆新的 Start 信號之前，需要利用 Clear 信號將 TDC 內部的所有資料清除，TDC 電路才能針對新輸入的 Start 與 Stop 信號做時間差的計算。本篇利用輸入 Start 信號觸發自動清除信號電路，產生 Clear 信號進入 TDC 電路清除資料，取代由外部輸入 Clear 的方式。自動清除信號（Clear）方塊圖如圖 9 所示。

當系統接收到外部提供的 Start 信號（以下稱 Start0），抓取 Start0 信號的上升緣觸發第一個 D-Flip Flop，產生的 Q1bar 信號，經過延遲 10ns 的 Buffer 後，發出一個 Clear 信號，清除 TDC 內部所有資料。再經由 Clear 信號上升觸發第二個 D-Flip Flop 產生 Start 信號提供給 TDC，進行時間信號轉換計算。外部輸入的 Start0 與 TDC 接收到的 Start 信號，兩股信號會相差 20ns 的時間，因此 TDC 計算出的結果，需要再加上 20ns，才會是實際的時間差。自動清除信號（Clear）電路圖與時序圖如圖 10 所示。

三、 晶片設計與規格

本篇論文提出之架構，採用 TSMC-T18HVG2（180nm

HV CMOS）製程做晶片的實現。PAD 的操作電壓為 5V，Core 的操作電壓為 1.8V；工作時脈為 100MHz；消耗功率為 30.6mW。TDC 之深度為 17 bits；整體 TDC 之死亡時間為 20 ns；解析度為 100ps；晶片面積為 2.03*1.23mm^2。圖 11 為晶片於顯微鏡下以及放置在 PCB 電路板圖。表 1 為晶片規格表。

四、晶片量測結果

本篇提出使用平行處理電路架構，可將 TDC 整體的死亡時間降低至 20ns，針對此架構進行 HSPICE 的模擬，我們輸入一筆 Start 信號，以及兩筆間隔 20ns 的 Stop 信號，藉此觀察輸出兩筆值是否都能被 TDC 算到並且輸出。首先，在 10ns 時輸入一筆 Start 信號，接著，在 47ns 以及 67ns 時各輸入一筆 Stop 信號，再減去因為自動清除信號電路造成的 20ns 的時間差，理論上，TDC 計算出的兩筆值應為 17ns 與 37ns。觀察圖 12 中的輸出波形，可以看到第一筆輸出的粗調結果為 0000 0001，細調結果為 1 0100 0111，換算後可以得到 17.2ns 的時間資料；而第二筆輸出的粗調結果為 0000 0011，細調結果為 1 0100 1000，換算後可以得到 37.2ns 的時間資料。藉由 HSPICE 的模擬結果可以看到兩筆相差 20ns 的停止信號都能被 TDC 處理並且輸出，可以證明平行處理電路架構可以有效地將 TDC 的死亡時間降低至 20ns。

再來針對本篇設計之 TDC 進行 Function 的實測，分別為：清除信號（Clear）自動產生以及 TDC 電路運算結果。其測試方式為：使用 Digital Delay Generator - DG645 輸入 1MHz 的開始信號（Start）以及 1MHz 的停止信號（Stop），

表 1. 晶片規格表

Parameter	This Work
Technology	TSMC-T18HVG2 （180nm HV CMOS）
Supply Voltage	PAD：5 V / Core：1.8 V
Frequency	100 MHz
Power	30.6 mW
Distance Range	0.15 m~382.5 m
TDC Depth	17 bits
TDC number	2
TDC Dead Time	20 ns
TDC Resolution	100 ps
Chip Area	2.03*1.23 mm^2
Package	68 S/B

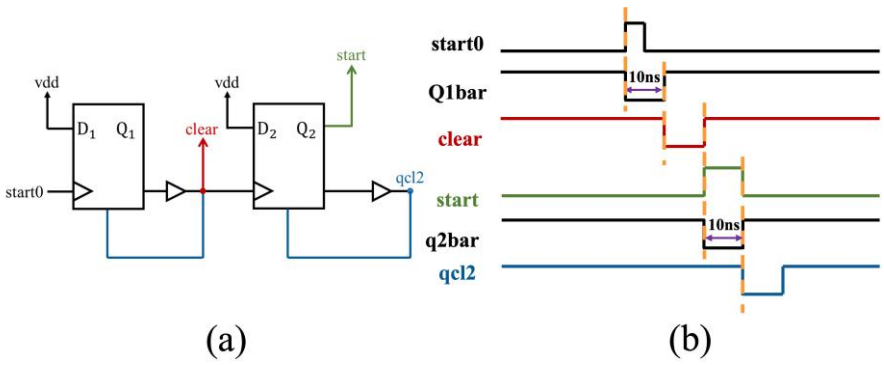

圖 10.（a）自動清除信號（Clear）電路圖 （b）自動清除信號（Clear）時序圖

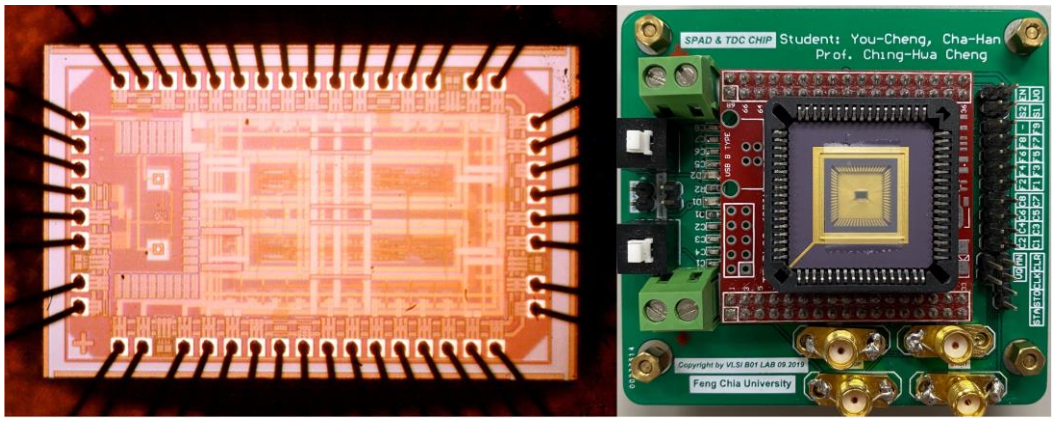

圖 11. 晶片於顯微鏡下以及放置在 PCB 電路板圖

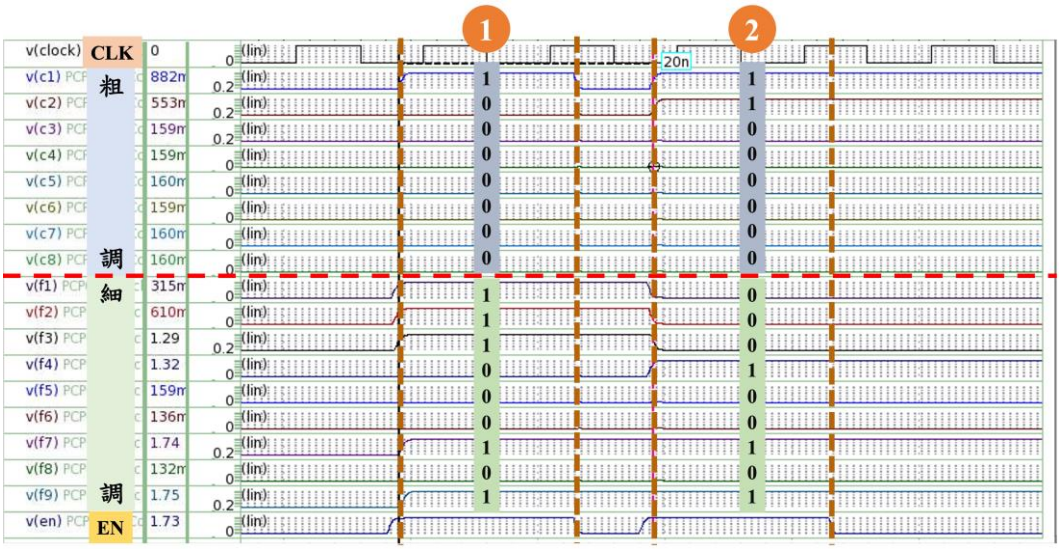

圖 12. 平行處理電路架構 HSPICE 模擬波形圖

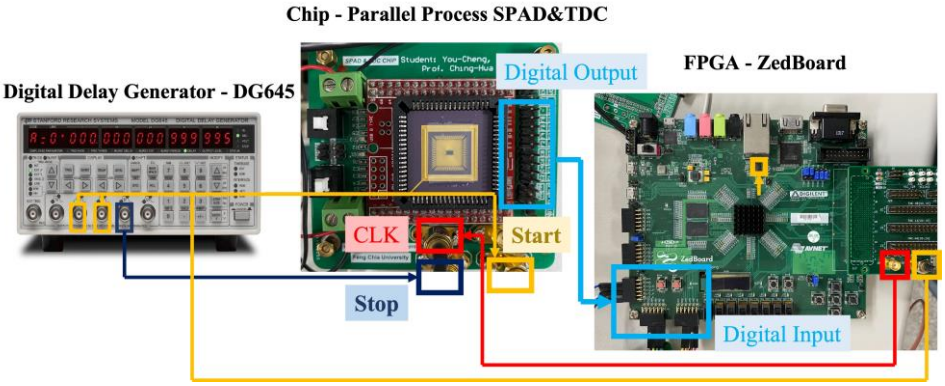

圖 13. 量測環境圖

而開始信號會分別輸入待量測的晶片以及 ZedBoard。輸出的數位信號經由杜邦線傳輸至 FPGA-ZedBoard 做接收，並且從 ZedBoard 外接 FMC XM105 Debug Card 的 SMA 孔輸出 100MHz 的 CLK 作為 TDC 的工作時脈。量測環境圖如圖 13 所示。

首先針對自動產生清除信號（Clear）進行驗證。本篇的 TDC 所需的 Clear 信號可由內部電路自動生成，取代以往使用外部信號產生器輸入的方式。藉由開始信號觸發自動清除（Clear）信號電路，生成的 Clear 信號會傳送至兩組 TDC，將 TDC 的內部資料清除。

透過在 FPGA 內部的邏輯分析儀（Internal Logic Analyzer，ILA）上觀察到晶片所輸出的 Data 值。在輸入連續的開始信號（Start）及停止信號（Stop）的情況下，若是輸出的 Data 值在接收到下一筆開始信號後有歸零的現象，並且輸出的 Data 值相較於來自信號產生器輸入的開始信號與停止信號之時間差少 20ns，則可驗證由內部電路自動生成的清除信號（Clear）可以正常運作。清除信號（Clear）量測結果圖如圖 14 所示。

如圖 14 所示，在連續輸入開始信號（Start）以及停止信號（Stop）的情況下，每一筆輸出的 Data 值（C1 至 C8）在接收到下一筆開始信號後有歸零的現象，而且這邊設定來自信號產生器輸入的開始信號以及停止信號的時間差為 530ns，而由 ILA 所顯示的結果觀察，輸出的值為 0011 0011，換算成十進制為 51，再乘上粗調的時間週期為 10ns，則可得輸出的計算結果為 510ns，相較於信號產生器所輸入的時間差少了 20ns，因此可以證明由電路內部自行產生的清除信號（Clear）能夠正常運作。

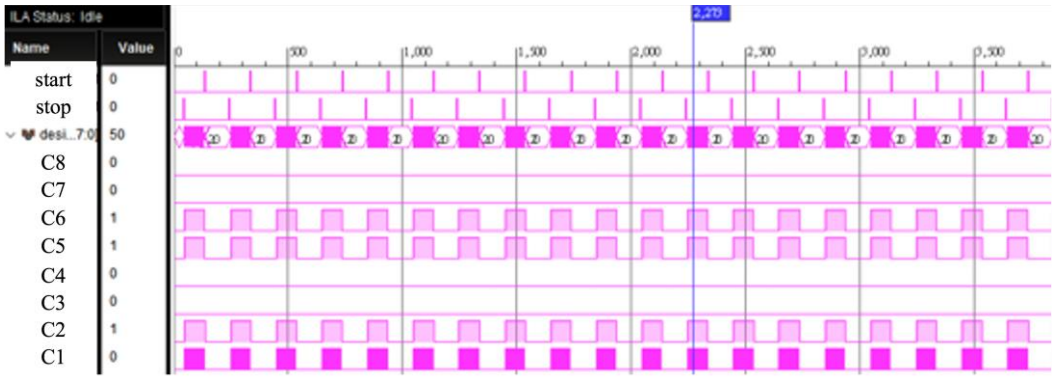

圖 14. 清除信號（Clear）量測結果圖

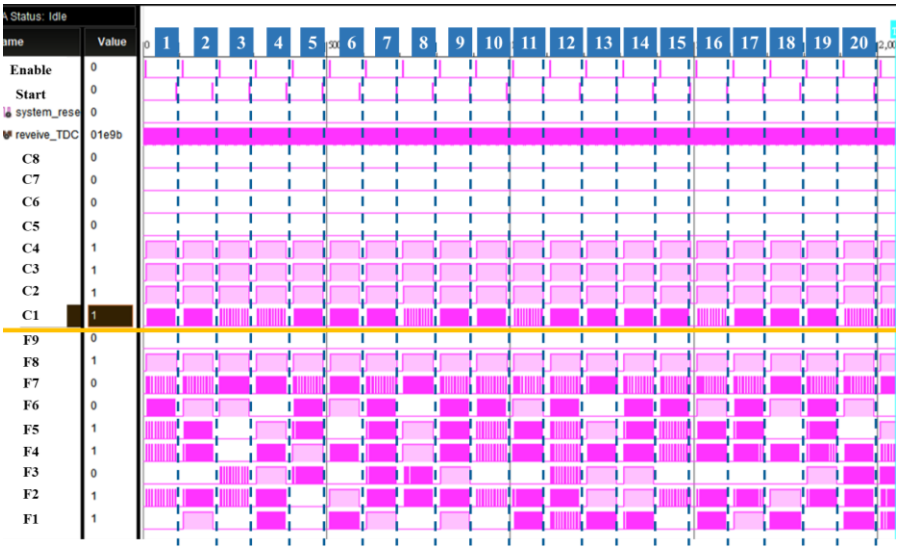

圖 15. ILA 上的 TDC 量測結果圖

接著進行 TDC 運算結果的驗證。使用 Digital Delay Generator - DG645 輸入 1MHz 的開始信號(Start)以及 1MHz 的停止信號（Stop），其兩筆信號的時間差設置為 170ns，扣掉因自動清除信號產生電路造成的 20ns 的時間差，TDC 理論上算出來的結果應該要是 150ns。接著透過在 FPGA 內部 ILA 觀察晶片所輸出的數位信號，分別為粗調量測結果（C1 至 C8）、細調測量結果（F1 至 F9）以及與後端溝通的 Enable 信號。將其結果從二進制轉換成十進制，單位設定為奈秒（nanosecond，ns），將粗調結果乘上 10ns，細調值減去 256 後乘以 0.1ns，最後將粗調量測及處理過後的細調量測結果進行相加，即可得到最後的結果。ILA 上的 TDC 量測結果圖如圖 15 所示。TDC 量測結果表如表 2 所示。

因晶片與信號產生器是透過 SMA 導線做連接，輸出則是透過杜邦線與 FPGA 連接，而每條導線的延遲時間皆不相同，造成信號在傳輸的過程中產生延遲，故計算出的結果相較理想值會出現誤差，此實驗的誤差範圍為 0.1ns 至 3.4ns。

四、 結論

本篇論文改良了傳統的 VDL 電路帶來的級數過長、面積過大解析度容易失真、消耗功率過大等問題，並將粗調與細調分開計算，再利用後端電路將兩種計算結果進行相加，使得晶片不受限在固定頻率下工作。將 SPAD 與 TDC 整合在同一晶片上，可加快 SPAD 之輸出傳送的 TDC 輸入的時間，減少訊號傳輸的延遲時間，並且搭配兩組 TDC 做平行運算，降低整體 TDC 的死亡時間，以提升整體效能。後續預計將本篇設計之晶片進行 SPAD 的量測以及與系統做結合，搭配後端系統運算，堆疊出直方圖（Histogram），計算出 CM（Center of Mass）與 Max 值，以利更準確地辨識出目標物的實際位置。

表 2. TDC 量測結果表

	Ideal Value (ns)	Coarse(Bin)	Fine (Bin)	Coarse (Dec)	Fine (Dec)	Actual Value (ns)	error (ns)
1	150	00001111	011111010	15	250	149.4	0.6
2	150	00001111	011111011	15	251	149.5	0.5
3	150	00001111	011100110	15	230	147.4	2.6
4	150	00001111	011011111	15	223	146.7	3.3
5	150	00001111	011111100	15	252	149.6	0.4
6	150	00001111	011101011	15	235	147.9	2.1
7	150	00001111	011111111	15	255	149.9	0.1
8	150	00001111	011011110	15	222	146.6	3.4
9	150	00001111	011111111	15	255	149.9	0.1
10	150	00001111	011111010	15	250	149.4	0.6
11	150	00001111	011111011	15	251	149.5	0.5
12	150	00001111	011111111	15	255	149.9	0.1
13	150	00001111	011011111	15	223	146.7	3.3
14	150	00001111	011111111	15	255	149.9	0.1
15	150	00001111	011111010	15	250	149.4	0.6

本篇設計之目標為使電路能工作在非特定頻率下維持高精準度與穩定度，與 SPAD 進行整合使縮短信號傳輸時間，搭配兩組 TDC 做平行處理，將死亡時間降低至 20ns，提升整體電路之效能。在同時保有與 [1] [3]相同的 100ps 之高解析度的條件下，可量測範圍更可達到 382.5 公尺，相較於參考文獻 [1] [2] [3]多了 1.5 至 3 倍，表 3 為規格比較表。

表 3. 規格比較表

Parameters	Unit	2021 [1]	2014 [2]	2018 [3]	This work
Technology	nm	180nm CMOS	180nm HV CMOS	28nm CMOS	180nm HV CMOS
Frequency	MHz	156	100		100
Depth	Bit	16	12	12	17
Resolution	ps	100	208	100	100
Distance Range	m	150	100	200	382.5
Dead Time	ns	20	20~40		20

參考文獻

1. Cheng, C. H., C. K. Chao, K. C. Yeh, D. G. Liu and S. D. Lin (2021) The Performance-Complexity Efficient Time-to-Digit and Data-Processing Chips Design and Validation for a LiDAR System. In 2021 IEEE International Symposium on Circuits and Systems (ISCAS) (pp. 1-4). IEEE.
2. Niclass, C., M. Soga, H. Matsubara, M. Ogawa and M. Kagami (2013) A 0.18- μ m CMOS SoC for a 100-m-Range 10-Frame/s 200×96-Pixel Time-of-Flight Depth Sensor. *IEEE Journal of solid-state circuits*, 49(1), 315-330.
3. Yoshioka, K., H. Kubota, S. Kondo, T. T. Ta, H. Okuni, K. Watanabe, M. Hirono, Y. Ojima, K. Kimura, S. Hosoda, Y. Ota, T. Koizumi and N. Kawabe, et al. (2018) A 20-ch TDC/ADC Hybrid Architecture LiDAR SoC for 240×96 Pixel 200-m Range Imaging With Smart Accumulation Technique and Residue Quantizing SAR ADC. *IEEE Journal of Solid-State Circuits*, 53(11), 3026-3038.

收件：111.04.08　修正：111.05.23　接受：111.07.24