

基于 Windows CE 的 ARM9 嵌入式系统的优化研究

薛亚许, 李 宁

(平顶山学院, 河南 平顶山 467099)

摘 要:在具有 ARM 核心的 AT91RM9200 处理器最小系统平台基础上, 分析了该系统的体系结构; 结合当前工业控制领域对嵌入式系统平台的要求, 合理设计平台外围功能模块, 并研究了提高系统实时响应能力的可行性方法, 实现对平台的优化。

关 键 词:嵌入式系统; AT91RM9200; 实时性

中图分类号: TP277

文献标识码: A

文章编号: 1673 - 1670(2014)02 - 0038 - 05

0 引言

Windows CE 是一种图形化、可开放的、可升级的 32 位实时嵌入式操作系统, 具有可靠性高、丰富的驱动程序支持、实时多任务处理、提供多媒体功能、丰富的语言支持、提供强大的开发工具等显著特点^[1]。随着系统的升级, 硬件平台的处理器和存储设备的更新速度已难以满足 Windows CE 的要求, 若对其进行全面更新, 又会带来成本投资大的问题。笔者以 AT91RM9200 处理器最小系统为基础, 并对该系统进行结构分析, 结合 AT91RM9200 的特征^[2], 对典型测控仪器的外围功能模块与设备比如串口通讯、显示、USB 总线接口等进行合理的优化设计, 从而为当前的嵌入式开发平台具备更加完善的功能、良好的操作性能、可靠地控制实现提供有效的支持。

1 系统平台分析

1.1 AT91RM9200 最小系统简介

基于 ARM920T 内核的 AT91RM9200 具有以下显著特点:

1) 运行在 180 MHz 时拥有 200 MIPS 的运算性能, 内部集成 16 KB 静态 RAM 和 128 KB 的 boot ROM;

2) 集成外部总线接口 EBI, 可以实现与各种串

口间的无缝连接, 并且具有中断保护机制的先进中断控制器;

3) 4 个 32 位的 PIO 控制器提供多达 122 个可编程 I/O 引脚;

4) 内置 Ethernet 接口, 集成 10/100M 的以太网接口;

5) 适用于工业级别温度范围(-40℃到+85℃)特别适合于工业控制, 机器人控制系统, 汽车电子等行业。

由于 AT91RM9200 支持 windows CE 操作系统及其图形界面, 为此在系统平台内存选用上采取 4 片 16 MB 的 SDRAM 芯片, 外部存储器选用 2 片 16 MB 的 FLASH 存储器芯片。为方便后期调试, 通过扩展串口、以太网、JTAG 等接口来实现无缝连接。由此构建的最小系统的结构框图如图 1 所示, 其中 AT91RM9200 处理器作为平台主要负责各外围设备间的协议支持, 采用 DM9161 BIEP 网络接口芯片来实现网络物理层接口互联^[3]。

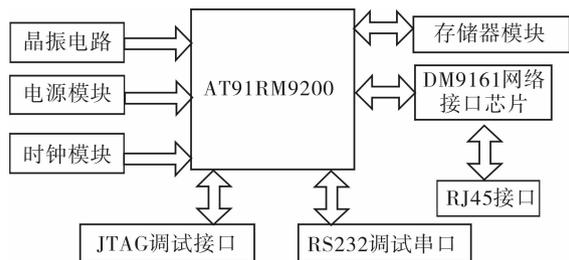


图 1 基于 AT91RM9200 最小系统结构图



1.2 CPU 外围配置

CPU 外围配置电路主要由电源电路、复位电路、晶体振荡器电路和 JTAG 接口电路等配置电路组成^[4]。

在最小嵌入式系统中,AT91RM9200 需要 1.8 V 和 3.3 V 电源来维持运行,并且大部分外围器件均需要 3.3 V 电源,只有小部分外围器件需要 5 V 电源,因此为简化电源电路,主要使用 5 V 直流稳压电源,同时集成 5 V 转 1.8 V 和 5 V 转 3.3 V 的低压差(LDO)稳压器来满足不同外围器件的需求。

AT91RM9200 有两个低电平输入有效的独立复位信号,即复位信号 NRST 和内部调试复位信号 NTRST 来方便用户对程序的调试。在此采用 ADM708 型复位电路,通过自带的手动复位输入引脚,对手动复位输入引脚被拉低或工作电压低于 3.08 V 时复位 IC 产生的低电平信号,直到电源电压和振荡器工作频率趋于稳定为止,一般持续时间为 200 ms。该复位电路还有一个额外的输入电压检测引脚,可对输入电压进行检测。

晶体振荡器电路向需要时钟信号的外设电路提供工作时钟,为此采用无源晶体振荡器 X1 (18.432 MHz) 和 X2 (32.768 kHz) 作为系统的主振荡器和慢时钟振荡器,通过此无源晶体振荡器产生系统主时钟和慢时钟基准,再经过微处理器内部 PLL 实现环路内部振荡信号的频率和相位的控制,从而产生系统所需的各种外设电路工作时钟。

JTAG 主要实现对芯片内部的测试及仿真、调试。它有 14 针接口和 20 针接口两种标准类型接口,本设计采用 20 针标准接口。

1.3 存储器模块

存储器模块由 SDRAM 存储器和 Flash 存储器两部分组成,通过外部总线接口(EBI)实现与外部器件的连接。SDRAM 存储器用于存放系统运行时的程序和数据,一旦发生掉电,该存储器存储的部分程序和数据将丢失。为此通过采用双片 16 位 SDRAM 并行实现 32 位数据宽度性能。与 SDRAM 相比,系统运行所需的程序和重要数据都将由 Flash 存储器存储,即使发生掉电,程序和数据也都

不会丢失。为此选用 28F640J3A 电路,无论是存储容量(64 Mbit(8 MB))还是在电压稳定度(2.7 V ~ 3.6 V)上都能满足需求。

1.4 网络接口

网络接口电路主要由物理层接口(PHY)和 MAC 控制器组成。AT91RM9200 虽然内部集成有 MAC 控制器,并且支持缓冲 DMA 接口和媒体独立接口,还可在半双工或全双工模式下提供 10/100 Mbps 的以太网接口,但由于其没有提供物理层接口,无法为通信提供实现透明传输的物理链接,为此采用物理层接口 DM9161BIEP 网络接口芯片实现编码、译码输入和输出数据的作用^[5]。

2 系统外围功能模块设计

通过对 AT91RM9200 系统平台分析以及对最小系统中电源电路、复位电路、晶体振荡器电路和 JTAG 接口电路等配置电路的选型可得,该系统具备支持高级嵌入式操作系统的能力,但由于其外围硬件模块较少,所实现的功能也受到限制。为更大发挥该处理器的作用,结合 AT91RM9200 特征,主要对显示、USB 总线、串口通讯进行设计,实现该平台的硬件功能扩展和完善。嵌入式系统平台硬件结构框图如图 2 所示。

2.1 RS-232 串口通讯接口模块设计

串行通讯由于数据传输可靠、节省传输线、连接简单和使用方便等优点在工业控制和实时监测系统领域中被得到广泛应用。AT91RM9200 处理器共可扩展 4 个串行通讯接口:用于调试串口的 DBGU 扩展、用于全调制解调控制的 USART1 扩展和用于 RS-232 通讯端口的 USART0-3 扩展^[6]。

其中 USART 不但提供全双工通用同步异步串行连接方式,而且其数据帧格式可编程可以支持更多的标准,接口电平为标准 3.3 V 的 LVTTTL。在未接收任务时,RS-232 信号在正负电平之间来回摆动,一旦需要发送数据,发送端驱动器将输出 +5 V ~ +15 V 之间的正电平或 -5 V ~ -15 V 的负电平,数据传输结束后,线上电平则恢复为 TTL 电平。从数据传送的开始到结束,线上电平从 TTL 电平到 RS-232 电平再返回到 TTL 电平作为一个数据传送周期。为有效提高信噪比,电压摆幅不宜过

大,因此接收器的工作电平一般在 +3 V ~ +12 V 与 -3 V ~ -12 V 之间. 综上所述,要想实现与其他 RS - 232 收发器的互连必须先对 AT91RM9200 中集成的串行接口模块进行电平转换,此外,选用

MAX3241 作为驱动和电压转换芯片,并且采用工作电压为 3 V ~ 5.5 V 的单电源供电方式. 接口框图如图 3 所示.

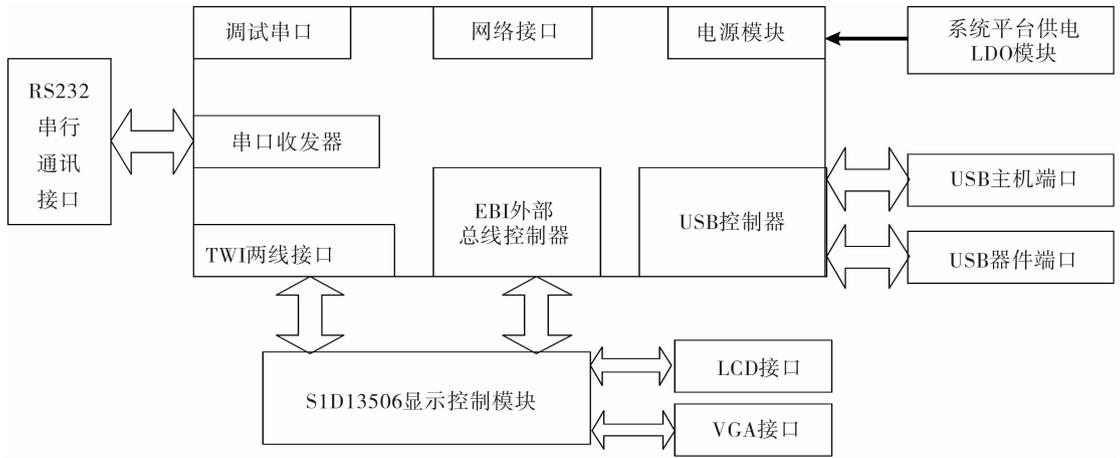


图 2 嵌入式系统平台硬件结构框图

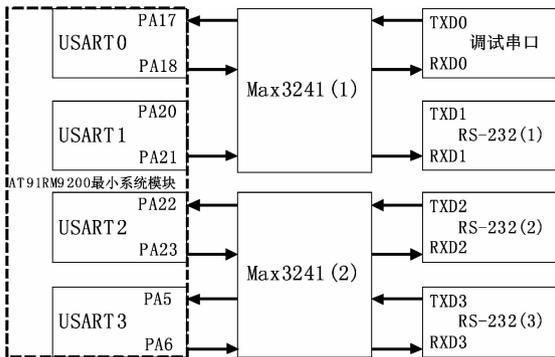


图 3 RS - 232 串行接口图

分别与 S1D13506 的 RD/WR (RD)、CS、WE0、WE1 信号引脚进行互连,而 NW1T 和 NRST_OUT 信号引脚则不经过缓冲器直接与 S1D13506 的 WAIT 和 RESET 相连接. S1D13506 的 CLKI 和 CLKI2 由 AT91RM9200 编程控制 ICS1523 输入. 显示控制模块总体电路接口示意图如图 4 所示.

其中 CLKI 为 33. 333 MHz 时钟, CLKI2 为 14. 318 18 MHz 时钟, BCLK 模式下为 80 MHz 时钟, PAL 模式下为 17. 734 475 MHz 时钟. 这 3 个外部时钟首先通过 S1D13506 控制器进行分频、倍频以及两者的组合,然后提供主时钟、CRT/TV 时钟、LCD 时钟以及多媒体卡时钟四种时钟信号,再根据不同显示模块对时钟最终频率的要求,对 S1D13506 控制器的内部寄存器进行设置,最后满足需要.

2.2 显示控制模块设计

人机交互作用在工业控制领域中也占有十分重要的地位,因此采用 S1D13506 芯片作为显示模块控制器,选用 ICS1523 来提供时钟信号,并选择 MT4LC1M16E5 作为显示缓存 DRAM 芯片来实现 LCD/VGA 方式的图形界面显示输出. 为符合 AT91RM9200 处理器的 EBI 外部总线定义,接口采用通用总线类型^[7].

AT91RM9200 最小系统模块的 A[1 : 20]、D[0 : 15] 和 A21 通过缓冲器 74LVT162245 分别与 S1D13506 的 AB[1 : 20]、DB[0 : 15] 和 M/R 信号引脚进行互连,这样对 S1D13506 对应的显示缓冲区和寄存器可以选择不同的地址来访问,然后 NRD、NCS2、NWRO 和 NWR1 信号引脚通过缓冲器

2.3 USB 接口设计

USB 接口设计以 USB 总线标准为基准,可以实现不同厂家设备的交换使用,进而简化驱动程序设计,有效改善计算机外围设备结构^[8]. USB 系统主要由 USB 主机、USB 连接和 USB 器件三部分组成. 自身集成有 USB 主机控制端口 (UHP) 和 USB 器件控制端口 (UDP) 是 AT91RM9200 芯片的显著特点,在此基础上,可以实现 USB 主机和器件模式的设备连接和开发^[9]. 由于收发器、FIFO 等 USB

主机设备必需的资源已经在 USB 主机控制器中包含, 所以只需通过对电平的上、下拉来保证传输信

号的电平就可实现对 USB 外部接口电路的设计. USB 主机接口电路图如图 5 所示.

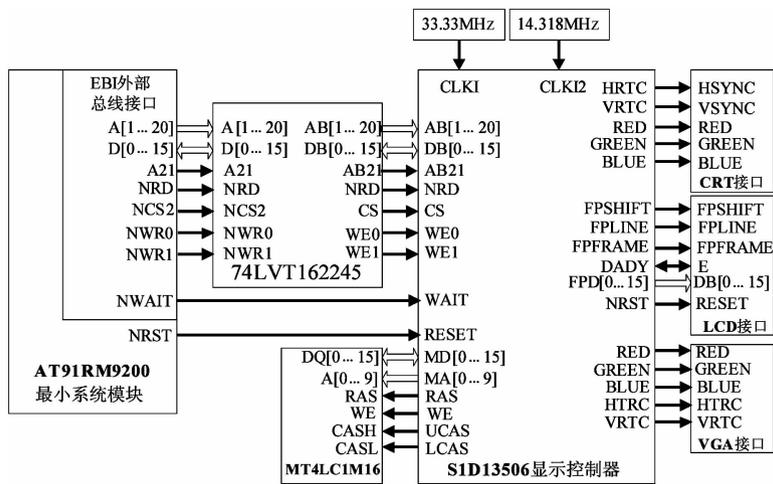


图 4 显示控制模块总体电路接口图

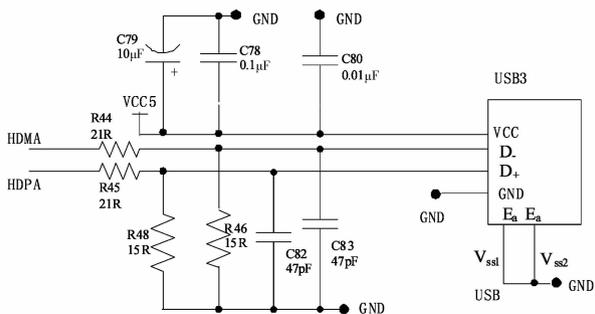


图 5 USB 主机接口电路图

与 USB 主机控制器类似, AT91RM9200 控制器中自身集成的 USB 器件控制器同样包含了所需资源, 因此外部接口只需进行电平的上、下拉即可.

3 Windows CE 操作系统的实时性分析与改进

所谓实时性突出一个“快”字, 即根据实际需要, 对外来事件在限定时间内做出反应的能力, 不同的场合对实时性的要求也有所不同, 例如控制化学反应过程的时间可能很长, 而飞行控制系统的时间就会很短. 实时性一般由确定性、响应性和响应时间三方面因素组成^[10]. 由于多种被控对象与所设计的嵌入式系统平台间有着紧密的联系, 而不同的被控对象对任务的时间响应要求也不同, 因此实时性的优劣是用户选择操作系统的一个重要参考.

3.1 影响 Windows CE 的实时性因素分析

嵌入式操作系统内核主要由任务管理、任务通信、时钟管理、中断管理、内存管理等模块组成. 在

Windows CE 6.0 操作系统中, 影响系统内核实时性的因素主要有系统调用效率、任务切换时间、任务抢占时间、信号量混洗时间和中断响应时间等方面.

其中任务切换时间是反映嵌入式操作系统 (RTOS) 执行任务快慢的一项重要指标, 每个任务都有所对应的优先级, 优先级越高, 对 CPU 的控制权就越大, 若最高优先级任务就绪, 则将获得 CPU 的控制权, 在执行期间, 一旦有更高优先级的任务通过信号量等机制进入到就绪状态, 再由调度函数进行任务调度, 则当前任务对 CPU 的控制权被剥夺. 任务抢占和信号量混洗发生在任务切换的过程中, 因此所消耗的时间取决于寄存器出入栈的数量. 中断响应时间一般由中断延迟时间、CPU 状态保存时间和 ISR 执行时间三部分组成, 响应时间越短, 则 RTOS 对外界反应速度越快.

3.2 系统实时性优化改造方案

通过以上分析, 实时性内核只有设计优良的实时性调度算法, 才能为一系列任务在有限的系统资源上得到合适的运行, 满足其对时间约束、资源约束和时序约束的要求, 为此将从两个方面来进行改进, 优化操作系统的中断机制, 从而提高整个系统的实时性^[11].

1) 减少中断响应时间

中断响应时间是指从中断发生到开始执行用户的中断服务程序代码来处理该中断的时间, 是衡



量操作系统实时性的主要性能之一。在中断响应时间里起关键作用的是中断延迟时间,而中断延迟时间主要包括 ISR 延迟和 IST 延迟两种。通过采取中断现场优化保护的方法来减少这两种中断延迟时间:中断服务子程序在进行关中断时需要用到通用寄存器,因此对于通用寄存器的保护显得异常重要,由于其作为 CPU 内的已知寄存器,相关参数都有固定长度代码,只需掌握通用寄存器的使用情况,并对中断服务子程序所用到的有限的几个通用寄存器进行有效保存,就可实现实时保护,从而实现中断保护现场的优化,降低中断延迟时间。

2) 提高操作系统计时器分辨率

1 ms 作为 Windows CE 的内部计时器信号默认分辨率,若要减少 ISR 和 IST 延迟时间,应用任务在进行计时器计时时就需要获得较高的分辨率,为此可通过对操作系统的 OAL 层系统计时器(Timer)模块进行修改,从而获得更高的系统计时器分辨率来满足需求^[12]。

and Telecommunications, 2005(4):434-439.

- [2] 邵常勇,陈 涤,董国锋. 基于 ARM 的嵌入式系统设计方法研究[J]. 信息技术与信息化, 2006(2):96-98.
- [3] 陈敬谦,王 璐,梁 明,等. 基于 AT91RM9200 微处理器的最小系统设计[J]. 电子工程师, 2007(4):71-73.
- [4] 邹见效. 一种 AT91RM9200 嵌入式开发平台设计[J]. 中国测试技术, 2007(2):104-107.
- [5] 何玉朝,程耕国,张 瀛. 基于 AT91RM9200 的以太网接口模块设计[J]. 现代电子技术, 2009(8):17-21.
- [6] 龚义建. 串行通讯接口 RS-232/RS485 的应用与转换[J]. 计算机与数字工程, 2003(5):58-61.
- [7] 刘和平,常 猛. SID13506 显示控制器与 AT91RM9200 处理器的接口设计 and 应用[J]. 电子技术应用, 2006(4):89-91.
- [8] 李彦君. 基于 USB 接口的嵌入式数据存储系统设计[J]. 科技传播, 2011(3):183-185.
- [9] 赵可昭,胡铭曦,余文清,等. 基于 ARM 的 USB 设备互连控制器设计[J]. 南开大学学报, 2012(4):79-82.
- [10] 黄 炎. Windows Embedded CE 6.0 实时性研究和分析[J]. 广东通信技术, 2010(2):70-73.
- [11] 孔 军. 嵌入式操作系统实时性研究与改进[J]. 信息科学, 2008(2):37-38.
- [12] 赵立业,张 激,游 夏. 实时操作系统的性能分析和评估[J]. 计算机工程, 2008(8):282-283.

参考文献:

- [1] Liu Z Q. The specification and analysis of network embedded system[J]. The Journal of China Universities of Posts

Study on Optimization of ARM9 Embedded System Based on Windows CE

XUE Yaxu, LI Ning

(Pingdingshan University, Pingdingshan, Henan 467099, China)

Abstract: The system architecture in a ARM core AT91RM9200 processor minimum system based on the embedded platform is analyzed, and the peripheral function modules with the industrial control fields of embedded system requirements is designed, and the feasibility of methods to improve the real-time responsiveness of the system to achieve the optimization of the platform is researched.

Key words: embedded system; AT91RM9200; real time

